

PCT

世界知的所有権機関
国際事務局

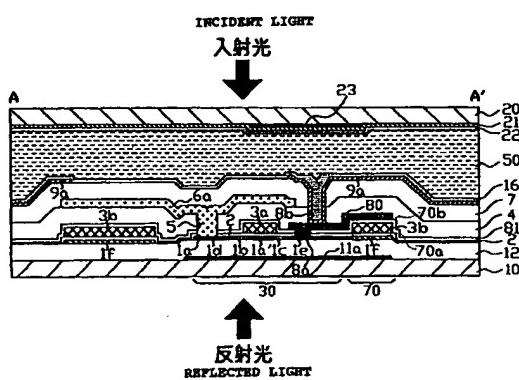
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7 G09F 9/30, G02F 1/136	A1	(11) 国際公開番号 (43) 国際公開日	WO00/31714 2000年6月2日(02.06.00)
(21) 国際出願番号 PCT/JP99/06642	(81) 指定国 CN, JP, KR, US		
(22) 国際出願日 1999年11月26日(26.11.99)		添付公開書類 国際調査報告書	
(30) 優先権データ 特願平10/336343 1998年11月26日(26.11.98) JP			
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)			
(72) 発明者 ; および (75) 発明者/出願人 (米国についてのみ) 村出正夫(MURADE, Masao)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)			
(74) 代理人 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)			

(54)Title: ELECTRO-OPTICAL DEVICE AND PRODUCTION METHOD THEREOF AND ELECTRONIC EQUIPMENT

(54)発明の名称 電気光学装置及びその製造方法並びに電子機器



(57) Abstract

An electro-optical device, such as a liquid crystal device, of an active matrix drive method, wherein, in order for a sufficient accumulation capacity to be added to a pixel electrode and a contact hole diameter communicating with a pixel electrode to be reduced even if a pixel pitch is fined, the liquid crystal device is provided with a TFT (30), a data line (6a), a scanning line (3a), a capacity line (3b) and a pixel electrode (9a), all placed on a TFT array substrate (10). The pixel electrode and the TFT are electrically connected by two contact holes (8a, 8b) via a barrier layer (80). A first dielectric film (2) is held between part of a semiconductor layer and a capacity line to form a first accumulation capacity (70a), and a second dielectric film (81) is held between a capacity line and part of a barrier layer to form a second accumulation capacity (70b).

(5.7)要約

アクティブマトリクス駆動方式の液晶装置等の電気光学装置において、画素ピッチを微細化しても、画素電極に十分な蓄積容量を付加でき、画素電極に通じるコンタクトホール径を小さくできるようにするために、液晶装置は、TFTアレイ基板(10)上にTFT(30)、データ線(6a)、走査線(3a)、容量線(3b)及び画素電極(9a)を備える。画素電極及びTFT間は、バリア層(80)を中継して二つのコンタクトホール(8a、8b)により電気的に接続される。半導体層の一部と容量線が第1誘電体膜(2)を挟持して第1蓄積容量(70a)を構成し、容量線とバリア層の一部が第2誘電体膜(81)を挟持して第2蓄積容量(70b)を構成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LJ リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロ伐キア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジ兰ド
BF ブルガリア・ファン	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴー
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア田ユーロスラヴィア 共和国	TM トルクメニスタン
CA カナダ	HR クロアチア	ML マリ	TR トルコ
CF 中央アフリカ	HU ハンガリー	MN モンゴル	TT トリニダッド・トバゴ
CG コンゴ	ID インドネシア	MR モーリタニア	UA ウクライナ
CH スイス	IE アイルランド	MW マラウイ	UG ウガンダ
CI コートジボアール	IL イスラエル	MX メキシコ	US 米国
CM カメルーン	IN インド	NE ニジェール	UZ ウズベキスタン
CN 中国	IS アイスランド	NL オランダ	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NO ノルウェー	YU ユーロースラビア
CU キューバ	JP 日本	NZ ニュージーランド	ZA 南アフリカ共和国
CY キプロス	KE ケニア	PL ポーランド	ZW ジンバブエ
CZ チェコ	KG キルギスタン	KP 北朝鮮	
DE ドイツ	KR 韓国	PT ポルトガル	
DK デンマーク		RO ルーマニア	

明細書

電気光学装置及びその製造方法並びに電子機器

[技術分野]

5 本発明は、アクティブマトリクス駆動方式の電気光学装置及びその製造方法の技術分野に属し、特に蓄積容量を付加するために蓄積容量電極を備えると共に画素電極と画素スイッチング用の薄膜トランジスタ（Thin Film Transistor:以下適宜、TFTと称す）との間の電気的な導通を良好にとるためのバリア層と称される導電層を備える電気光学装置及びその製造方法の技術分野に属する。

10

[背景技術]

従来、TFT駆動によるアクティブマトリクス駆動方式の電気光学装置においては、縦横に夫々配列された多数の走査線及びデータ線並びにこれらの各交点に対応して多数のTFTがTFTアレイ基板上に設けられている。各TFTは、走査線にゲート電極が接続され、データ線に半導体層のソース領域が接続され、画素電極に半導体層のドレイン領域が接続されている。ここで特に画素電極は、TFTや配線を構成する各種の層や当該画素電極を相互に絶縁するための層間絶縁膜上に設けられているため、層間絶縁膜に開孔されたコンタクトホールを介してTFTを構成する半導体層のドレイン領域に接続されている。そして、TFTのゲート電極に走査線を介して走査信号が供給されると、TFTはオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該TFTのソースードレイン間を介して画素電極に供給される。このような画像信号の供給は、各TFTを介して画素電極毎に極めて短時間しか行われない。このため、極短時間だけオン状態とされたTFTを介して供給される画像信号の電圧を、このオン状態とされた時間よりも遙かに長時間に亘って保持するために、各画素電極には液晶容量と並列に蓄積容量が形成されるのが一般的である。他方、この種の電気光学装置においては、TFTアレイ基板上に形成された半導体層から、画素スイッチング用TFTのソース領域及びドレイン領域並びにこれらの間にあるチャネル領域が構成される。画素電極は、積層構造をなす走査線、容量線、データ線等

の配線及びこれらを相互に電気的に絶縁するための複数の層間絶縁膜を介して、半導体層のドレイン領域と接続される必要がある。ここで、TFTアレイ基板側から見て半導体層の上にゲート電極が設けられるトップゲート構造を有する正ストガ型又はコプレナー型のポリシリコンTFTの場合などは特に、積層構造における半導体層から画素電極までの層間距離が例えば1000nm程度又はそれ以上に長いため、両者を電気的に接続するためのコンタクトホールを開孔するのが困難となる。より具体的には、エッチングを深く行うにつれてエッチング精度が低下して、目標とする半導体層を突き抜けて開孔してしまう可能性が出て来るため、ドライエッチングのみで、このような深いコンタクトホールを開孔することが極めて困難となる。このため、ドライエッティングにウエットエッティングを組み合わせて行ったりするが、すると今度はウエットエッティングによりコンタクトホールの径が大きくなってしまい、限られた基板上領域において配線や電極を必要なだけレイアウトするのが困難となるのである。

そこで最近では、走査線上に形成される層間絶縁膜に対して、半導体層のソース領域に至るコンタクトホールを開孔してデータ線とソース領域との電気的な接続をとる際に、半導体層のドレイン領域に至るコンタクトホールを開孔してこの層間絶縁膜上にデータ線と同一層からなるバリア層と称される中継用の導電層を形成しておき、その後、データ線及びこのバリア層上に形成された層間絶縁膜に対して、画素電極からこのバリア層に至るコンタクトホールを開孔する技術が開発されている。このようにデータ線と同一層からなるバリア層を中継して画素電極からドレイン領域へ電気的に接続をとるように構成すれば、画素電極から一挙に半導体層に至るコンタクトホールを開孔するよりも、コンタクトホールの開孔工程等が容易となり、各コンタクトホールの径も小さくて済む。

この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画像表示領域の高精細化或いは画素ピッチの微細化及び高画素開口率化（即ち、各画素において、表示光が透過しない非画素開口領域に対する、表示光が透過する画素開口領域の比率を高めること）が極めて重要となる。しかしながら、画素ピッチの微細化が進むと、電極サイズや配線幅、更にコン

タクトホール径などには製造技術により本質的な微細化の限界があるため、相対的にこれらの配線や電極等が画像表示領域を占有する比率が高まるため、画素開口率が低くなってしまうという問題点がある。

更に、このように画素ピッチの微細化が進むと、限られた基板上領域に作り込むねばならない前述の蓄積容量を充分な大きさとすることが困難となる。ここで特に、前述したバリア層を用いる技術によれば、バリア層は、データ線と同一のAl（アルミニウム）膜等からなる導電膜から構成されているため、当該バリア層の位置や材質に起因して、コンタクトホールを開孔する際の自由度に乏しく、また当該バリア層を例えれば蓄積容量を増大させるといった中継機能以外の用途に用いることは極めて困難であり、特に微細化された積層構造内において各層を最大限に利用して装置構成の単純化や製造プロセスの効率化を図ることが出来ない。更に、この技術によれば、バリア層を構成するAl膜と画素電極を構成するITO（Indium Tin Oxide）膜が接触することにより化学反応が生じ、イオン化しやすいAl膜が腐食する。これにより、バリア層と画素電極の間の電気的な接続が損なわれるため、Al膜からなる第1のバリア層の他にITO膜との間に良好に電気的な接続が得られるTi（チタン）膜等の高融点金属膜を第2のバリア層として用いる必要があり、層構造及びその製造プロセスの複雑化を招くという問題点も抱えている。

本発明は上述の問題点に鑑みなされたものであり、画素ピッチを微細化しても比較的簡単な構成を用いて、画素電極と薄膜トランジスタとを良好に中継する構成や蓄積容量を増大させる構成が可能であり、高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

[発明の開示]

本発明の第1電気光学装置は上記課題を解決するために、基板に、複数の走査線及び複数のデータ線と、前記走査線及び前記データ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極及び蓄積容量とを有する電気光学装置であって、

前記走査線及び前記蓄積容量の一方の電極の上方に形成された第1層間絶縁膜

と、該第1層間絶縁膜の上方に形成された導電層と、該導電層の上方に形成された第2層間絶縁膜とを具備しており、前記データ線は、前記第2層間絶縁膜上に形成されている。

本発明の第1電気光学装置によれば、基板には、走査線及び蓄積容量の一方の電極、第1層間絶縁膜、導電層、第2層間絶縁膜、データ線の順に形成されている。従って、走査線とデータ線との間の層として介在する導電層を様々な用途に利用することが可能となる。例えば先ず、導電層と半導体層とを第1コントクトホールを介して電気的に接続すると共に導電層と画素電極とを第2コントクトホールを介して電気的に接続することにより、導電層を経由して半導体層と画素電極とを電気的に接続する構成が可能となる。或いは、導電層の一部を、半導体層の一部や蓄積容量の一方の電極と誘電体膜を介して対向する他の蓄積容量電極とすることにより、画素電極に対して蓄積容量を付与する構成も可能となる。或いは、導電層を遮光膜から形成することにより、導電層により画素の開口領域の少なくとも一部を規定する構成も可能となる。更には、導電層からデータ線、走査線、あるいは蓄積容量の一方の電極を構成するための容量線を除く他の配線を形成する構成や、導電層からデータ線、走査線及び容量線の冗長配線を形成する構成も可能となる。

本発明の第1電気光学装置の一の態様によれば、前記基板に、前記データ線の上方に形成された第3層間絶縁膜を更に具備しており、前記画素電極は、前記第20第3層間絶縁膜上に形成されると共に前記第2及び第3層間絶縁膜に形成されたコントクトホールを介して前記導電層に電気的に接続されており、前記導電層は、前記半導体層に電気的に接続されている。

このように構成すれば、データ線の上方には第3層間絶縁膜を介して画素電極が形成されており、画素電極は、第2及び第3層間絶縁膜に形成されたコントクトホールを介して導電層に電気的に接続されおり、導電層は、半導体層に接続されている。従って、導電層を経由して半導体層と画素電極とを電気的に接続する構成が得られる。

本発明の第2電気光学装置は上記課題を解決するために、基板に、複数の走査線及び複数のデータ線と、各前記走査線及び各前記データ線に接続された薄膜ト

ランジスタと、該薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタのソース領域及びドレイン領域並びに第1蓄積容量電極を構成する半導体層と、該半導体層上に形成されている絶縁薄膜と、該絶縁薄膜上に形成されていると共に前記走査線の一部からなる前記薄膜トランジスタのゲート電極と、前記絶縁薄膜上に形成されている前記蓄積容量の第2蓄積容量電極と、前記走査線及び前記第2蓄積容量電極の上方に形成された第1層間絶縁膜と、該第1層間絶縁膜の上方に形成された導電層と、該導電層の上方に形成された第2層間絶縁膜とを具備しており、前記データ線は、前記第2層間絶縁膜上に形成されると共に前記絶縁薄膜並びに前記第1及び第2層間絶縁膜に形成されたコンタクトホールを介して、前記半導体層のソース領域に電気的に接続されている。

本発明の第2電気光学装置によれば、基板には、走査線及び第2蓄積容量電極、第1層間絶縁膜、導電層、第2層間絶縁膜、データ線の順に形成されており、画素電極は更にその上方に形成されている。そして、データ線は、第1及び第2層間絶縁膜に形成されたコンタクトホールを介して、半導体層のソース領域に電気的に接続されている。これらに加えて、半導体層の一部からソース領域及びドレイン領域が構成されており、絶縁薄膜の一部から薄膜トランジスタのゲート絶縁膜が構成されており、更に絶縁薄膜上に走査線の一部からなる薄膜トランジスタのゲート電極が形成されている。他方で、半導体層の一部から、第1蓄積容量電極が構成されており、絶縁薄膜の一部から蓄積容量の誘電体膜が構成されており、更に絶縁薄膜上に容量線の一部からなる第2蓄積容量電極が形成されている。従って、薄膜トランジスタが走査線の下側に配置され、これに並んで第2蓄積容量電極の下側に蓄積容量が配置された構造が得られる。従って、このような蓄積容量が薄膜トランジスタに並んで設けられた構成において、走査線とデータ線との間の層として介在する導電層を様々な用途に利用することが可能となる。例えば先ず、導電層の一部を、第2蓄積容量電極と第1層間絶縁膜を介して対向する第3蓄積容量電極とすることにより、即ち、第1層間絶縁膜をこの個所において蓄積容量の誘電体膜として導電層の一部と第2蓄積容量電極とを対向配置することにより、画素電極に対して（第1蓄積容量電極及び第2蓄積容量電極からなる蓄積容量に加えて）追加的に蓄積容量を付与する構成も可能となる。或いは、前述

した本発明の第1電気光学装置の場合と同様に、導電層を経由して半導体層と画素電極とを電気的に接続する構成、導電層により画素の開口領域の少なくとも一部を規定する構成、導電層からデータ線、走査線あるいは、第2蓄積容量を形成するための容量線を除く他の配線或いはこれらの冗長配線を形成する構成も可能となる。

本発明の第2電気光学装置の一の態様によれば、前記導電層は、前記第1層間絶縁膜及び前記絶縁薄膜に形成されたコンタクトホールを介して前記半導体層のドレイン領域に電気的に接続されている。

このように構成すれば、データ線は、絶縁薄膜並びに第1及び第2層間絶縁膜に形成されたコンタクトホールを介して、半導体層のソース領域に電気的に接続されており、導電層は、第1層間絶縁膜及び絶縁薄膜に形成されたコンタクトホールを介して、半導体層のドレイン領域に電気的に接続されている。従って、導電層を、画素電極に接続された蓄積容量の電極として用いる構成が容易にして可能となり、同時に、導電層を経由して画素電極とドレイン領域とを電気的に接続する構成も容易にして可能となる。

本発明の第2電気光学装置の他の態様によれば、前記基板に、前記データ線の上方に形成された第3層間絶縁膜を更に具備しており、前記画素電極は、前記第3層間絶縁膜上に形成されると共に前記第2及び第3層間絶縁膜に形成されたコンタクトホールを介して前記導電層に電気的に接続されている。

このように構成すれば、データ線の上方には第3層間絶縁膜を介して画素電極が形成されており、画素電極は、第2及び第3層間絶縁膜に形成されたコンタクトホールを介して導電層に電気的に接続される。従って、導電層を経由して画素電極とドレイン領域とを電気的に接続する構成も容易にして可能となる。

本発明の第3電気光学装置は上記課題を解決するために、基板に、マトリクス状に配列された複数の画素電極及び薄膜トランジスタと、該薄膜トランジスタに接続されており層間絶縁膜を介して立体的に相交差する走査線及びデータ線と、前記薄膜トランジスタを構成する半導体層と前記画素電極との間に介在し、前記半導体層のドレイン領域と第1コンタクトホールを介して電気的に接続され且つ前記画素電極と第2コンタクトホールを介して電気的に接続された導電層と、前

記半導体層部分と同一膜からなる第1蓄積容量電極と前記第1蓄積容量電極上に配置された第2蓄積容量電極との間に介在する第1誘電体膜と、前記第2蓄積容量電極と前記導電層の一部からなる第3蓄積容量電極との間に介在する第2誘電体膜とを備える。

- 5 本発明の第3電気光学装置によれば、基板には、複数の走査線及び複数のデータ線が層間絶縁膜を介して立体的に相交差しており、複数の画素電極に蓄積容量を夫々付加するための第2蓄積容量電極が別途設けられている。そして、導電層は、半導体層と画素電極との間に介在しており、一方で半導体層のドレイン領域と第1コンタクトホールを介して電気的に接続されており、他方で、画素電極と第2コンタクトホールを介して電気的に接続されている。このため、画素電極からドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。即ち、コンタクトホールを深く開孔する程エッチング精度は落ちるため、薄い半導体層における突き抜けを防止するために、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層まで開孔するように工程を組まねばならない。このため、指向性のないウエットエッチングによりコンタクトホールの径が広がらざるを得ないのである。これに対して本発明では、画素電極及び半導体層のドレイン領域間を2つの直列な第1及び第2コンタクトホールにより接続すればよいので、各コンタクトホールをドライエッチングにより開孔することが可能となるか、或いは少なくともウエットエッチングにより開孔する距離を短くすることが可能となる。この結果、第1及び第2コンタクトホールの径を夫々小さくでき、第1コンタクトホールにおける導電層の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極部分における平坦化が促進される。更に、第2コンタクトホールにおける画素電極の表面に形成される窪みや凹凸も小さくて済むので、この画素電極部分における平坦化が促進される。これらの結果、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減される。

また、第1誘電体膜が半導体層のドレイン領域を構成する半導体層部分と同一膜からなる第1蓄積容量電極とこの第1蓄積容量電極上に配置された第2蓄積容

量電極との間に介在するので、これら三者により第1の蓄積容量が半導体層のドレイン領域に電気的に接続された画素電極に付加される。これに加えて、第2誘電体膜が第2蓄積容量電極と導電層の一部からなる第3蓄積容量電極との間に介在するので、これら三者により第2の蓄積容量が画素電極に付加される。従って、
5 導電層を中心にしてその上下に並列に接続された第1及び第2の蓄積容量が形成される。このように限られた基板上領域に立体的な蓄積容量を構築することができる。ここで特に、第1及び第2誘電体膜はいずれも、立体的に相交差する走査線とデータ線の間に介在する第2層間絶縁膜とは異なる層の誘電体膜からなる。
従って、フリッカ等の原因となる画像信号の電圧降下を引き起こす走査線及び
10 データ線間の寄生容量を抑えるために、一定の厚みが要求される第2層間絶縁膜の厚みとは無関係にこれらの第1及び第2誘電体膜を技術的な限界まで薄く構成することが可能となる。仮に、データ線と同一の導電層からバリア層（本発明における導電層に相当する）が構成される前述した従来技術において、このバリア層を蓄積容量の一方の電極として用いて、データ線及び走査線間の層間絶縁膜を誘
15 電体膜として用いると仮定すると、この誘電体膜には、データ線及び走査線間の寄生容量が問題とならないようするために 800 nm 程度の厚みが必要とされるので、当該バリア層を用いて大容量の蓄積容量を構築することは根本的に困難となる。これに対して本発明によれば、薄く構成可能な誘電体膜を用いることにより、蓄積容量において誘電体膜の厚みに反比例する容量値を極めて効率的に増
20 加させることができとなる。

更にまた、このように誘電体膜を薄く形成することにより、第1コンタクトホールの径を更に小さく出来るので、前述した第1コンタクトホールにおける導電層の窪みや凹凸が更に小さくて済み、その上方に位置する画素電極における平坦化が更に促進される。従って、画素電極における窪みや凹凸に起因した電気光学物質の不良が低減され、最終的には一層高品位の画像表示が可能となる。
25

尚、本発明の構成において、導電層における蓄積容量付加機能に代えてまたは加えて、導電層における遮光機能やコンタクトホールのレイアウト等を重視して、導電層や第2誘電体膜を走査線上に至るまで形成する場合には、第2誘電体膜を導電層及び走査線間の寄生容量が問題とならない程度に厚く形成すればよい。従

ってこの場合には、前述のように第2誘電体膜を技術的な限界まで薄く構成して蓄積容量を増大させることは困難となる。但し、装置仕様上十分な蓄積容量が付加可能であれば、第2誘電体膜をそれ以上薄くする必要はないので、その分だけ当該導電層の持つ遮光機能等の他の付加的機能が促進されるように構成する方が電気光学装置全体として有利である。要するに、具体的な装置仕様に個別具体的に鑑み、導電層により、本来の中継機能、必要な蓄積容量を付加する機能、及び遮光機能等の他の付加的機能が十分に発揮されるように、導電層の平面レイアウトや第2誘電体膜の厚み等を設定すればよい。

本発明の第3電気光学装置の一の態様では、前記第1蓄積容量電極と前記第2蓄積容量電極は平面的にみて前記第1誘電体膜を介して少なくとも一部が重なり、前記第2蓄積容量電極と前記第3蓄積容量電極は前記第2誘電体膜を介して少なくとも一部を重ねることができる。

このように構成すれば、第2蓄積容量電極を中心にしてその上下に並列に第1及び第3蓄積容量電極が形成される。このように限られた基板上領域に立体的な蓄積容量を構築することができる。

本発明の第3電気光学装置の一の態様では、前記第1誘電体膜と前記絶縁薄膜とは同一膜からなり、前記走査線と前記第2蓄積容量電極とは同一膜からなり、前記第2層間絶縁膜は、前記走査線及び前記導電層上に形成されている。

このように構成すれば、第1誘電体膜と薄膜トランジスタの絶縁薄膜とは同一膜からなるので同一工程でこれらの絶縁膜を形成でき、走査線と第2蓄積容量電極とは同一膜からなるので同一工程でこれらの導電膜を形成できる。そして、第2層間絶縁膜は、走査線及び導電層上に形成されており、更にその上にデータ線が形成される。従って、第1及び第2誘電体膜を薄く形成して蓄積容量を大きくできると同時に、第2層間絶縁膜を厚く形成して走査線とデータ線との間における寄生容量を小さくできる。この結果、比較的簡単な構成を用いて高品位の画像表示が可能となる。

本発明の第3電気光学装置の他の態様では、前記第1層間絶縁膜と前記第2誘電体膜は同一膜からなる。

このように構成すれば、第1層間絶縁膜と第2誘電体膜と同一工程で形成する

ことが可能となり、工程数を増加することなく有利である。

本発明の第1、第2又は第3電気光学装置の他の態様では、前記導電層は、導電性の遮光膜からなる。

5 このように構成すれば、導電性の遮光膜からなる導電層により、各画素開口領域を少なくとも部分的に規定することが可能となる。このように他方の基板（通常は対向基板）に形成される遮光膜ではなく、基板（通常はTFTアレイ基板）上に内蔵遮光膜（即ち、遮光膜からなる導電層）の一部或いは全部を設ける構成は、製造プロセスにおける基板と対向基板との位置ずれによって画素開口率の低下を招かない点で極めて有利である。

10 この導電層が遮光膜からなる態様では、前記導電層は、前記基板上における平面形状が相隣接するデータ線間を前記走査線に沿って伸び、各画素電極毎に島状に構成されていてもよい。

15 このように導電層を島状に構成すれば、導電層を構成する膜の応力の影響を低減できるばかりでなく画素開口領域の走査線に沿った辺の一部又は全部を導電層により規定することが可能となる。特に、具体的な回路設計に応じて走査線及び導電層間の寄生容量が問題となる場合は、走査線上には導電層を設けることなく、容量線と画素電極とが隣接する側における画素開口領域の走査線に沿った辺を当該導電層により規定するのが好ましい。

20 この島状の遮光膜を導電層として設ける態様では、前記相隣接するデータ線と前記導電層とは、平面的に見て少なくとも一部重なるように構成してもよい。

このように構成すれば、平面的に見て島状の導電層の端部とデータ線の縁との間に光が透過するような隙間が生じないで済む。即ち、このデータ線の縁部と導電層の端部とが一致又は若干重なっていれば、この部分における光抜け等の表示不良を防止できる。

25 上述の導電層が遮光膜からなる態様では、前記導電層は、平面的に見て前記走査線と重なるように形成されてよい。

このように構成すれば、走査線及び容量線の両者を夫々少なくとも部分的に覆う遮光膜からなる導電層により、画素開口領域の走査線に沿った辺を規定することが可能となる。

上述の導電層が遮光膜からなる態様では、前記導電層は、高融点金属を含んでもよい。

このように構成すれば、遮光膜からなる導電層の形成工程の後に行われる高温処理により、導電層が破壊されたり溶融しないようにできる。例えば、遮光膜は、
5 不透明な高融点金属である Ti、Cr (クロム)、W (タンクステン)、Ta (タングタル)、Mo (モリブデン) 及び Pb (鉛) のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。

本発明の第 1、第 2 又は第 3 電気光学装置の他の態様では、前記導電層は、導電性のポリシリコン膜から構成されている。

10 このように構成すれば、導電性のポリシリコン膜からなる導電層は、遮光膜としての機能は発揮しないが、蓄積容量を増加させる機能及び中継機能は十分に発揮し得る。この場合には特に、層間絶縁膜との間で熱等によるストレスが発生しにくくなるので、当該導電層及びその周辺におけるクラック防止に役立つ。

本発明の第 1、第 2 又は第 3 電気光学装置の他の態様では、前記導電層は、導
15 電性のポリシリコン膜と高融点金属との 2 層以上の積層膜から構成されている。

このように構成すれば、導電性のポリシリコン膜からなる導電層は、遮光膜としての機能は発揮しないが、蓄積容量を増加させる機能及び中継機能は十分に発揮し得る。また半導体層と導電性のポリシリコン膜を電気的に接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。
20 また、このような導電性のポリシリコン膜の上に高融点金属を積層すれば、遮光膜としての機能を発揮するとともに、さらに抵抗を下げることができる。

本発明の第 1、第 2 又は第 3 電気光学装置の他の態様では、前記基板上に、少なくとも前記半導体層のチャネル領域を前記基板の側から見て夫々覆う位置に設けられた遮光膜を更に備える。

25 このように構成すれば、薄膜トランジスタよりも基板に近い側、即ち薄膜トランジスタの下側に設けた遮光膜により、基板側からの戻り光等が薄膜トランジスタのチャネル領域や LDD (Lightly Doped Drain) 領域に入射する事態を未然に防ぐことができ、これに起因した光電流の発生により薄膜トランジスタの特性が変化したり、劣化することを防止できる。そして、この遮光膜により画素開口領

域の一部又は全部を規定することも可能となる。

この遮光膜を備えた態様では、少なくとも前記遮光膜は、前記走査線の下に延設されて定電位源に接続されてもよい。

5 このように構成すれば、遮光膜の電位が変動して、当該遮光膜の上方に下地絶縁膜を介して設けられる薄膜トランジスタの特性が変化したり、劣化する事態を未然に防げる。

或いは、この遮光膜を備えた態様では、前記遮光膜は、前記遮光膜と前記半導体層との間に介在する下地絶縁膜に開孔されたコンタクトホールを介して前記第2蓄積容量電極と電気的に接続されてもよい。

10 このように構成すれば、第2蓄積容量電極及び遮光膜の電位を同一にでき、第2蓄積容量電極及び遮光膜のいずれか一方を所定電位とする構成を採れば、他方の電位も所定電位とできる。その際、遮光膜を容量線とすれば、第2蓄積容量電極は容量線に接続されることになり、第2蓄積容量電極に一定の電位を与えることができる。この結果、第2蓄積容量電極や遮光膜における電位揺れによる悪影響を低減できる。

本発明の第3電気光学装置の他の態様では、前記第2蓄積容量電極は延設されて容量線であることを特徴とする。

20 このように構成すれば、容量線の電位を一定にすることができ、第2蓄積容量電極の電位を安定させることができる。また、その際、容量線と走査線を同一膜で形成することができる。

本発明の第3電気光学装置の他の態様では、前記容量線は前記下地絶縁膜を介して前記遮光膜と電気的に接続されてなることを特徴とする。

25 このように構成すれば、容量線及び遮光膜の電位を同一にでき、容量線及び遮光膜のいずれか一方を所定電位とする構成を採れば、他方の電位も所定電位とできる。この結果、容量線や遮光膜における電位揺れによる悪影響を低減できる。また、遮光膜からなる配線と容量線とを相互に冗長配線として機能させ得る。

本発明の第3電気光学装置の他の態様では、前記導電層と前記遮光膜は、平面的にみて少なくとも一部で重ねても良い。

このように構成すれば、半導体層のチャネル領域を挟むようにして導電層と遮

光膜が形成されるため、基板側からのチャネル領域への光の侵入と、他方側からの光の侵入を防ぐことができる。これにより、薄膜トランジスタの特性が変化したり、劣化する事態を未然に防ぐことができ、クロストークの発生やコントラスト比の低下やフリッカレベルの悪化を防ぐことができる。

- 5 本発明の第1、第2又は第3電気光学装置の他の態様では、前記基板と前記薄膜トランジスタとの間に下地絶縁膜を備えるとともに前記データ線の上且つ前記画素電極の下に設けられた第3層間絶縁膜とを備えており、前記基板及び前記下地絶縁膜及び前記第2層間絶縁膜及び前記第3層間絶縁膜のうち少なくとも一つは、前記薄膜トランジスタ、走査線、データ線、及び蓄積容量に対応する領域の
10 少なくとも一部分凹状に窪んで形成されることにより、前記画素電極の下地表面がほぼ平坦化されている。

- このように構成すれば、基板及び複数の層間絶縁膜のうち少なくとも一つは、薄膜トランジスタ、走査線、データ線、及び蓄積容量に対応する領域の少なくとも一部分が凹状に窪んで形成されるので、データ線に重ねて薄膜トランジスタ、
15 走査線、蓄積容量等が形成される領域と他の領域との段差が低減される。このようにして画素電極の下側表面がほぼ平坦化されているので、画素電極をより一層平坦化でき、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減され、最終的には高品位の画像表示が可能となる。

- 20 本発明の第3電気光学装置の他の態様では、前記第1コンタクトホールと前記第2コンタクトホールとは、前記基板における相異なった平面位置に開孔されている。

- 第1コンタクトホールが開孔された平面位置における導電層には多少の窪みや凹凸が生じるため、この真上に更に第2コンタクトホールを開孔したのでは凹凸が増幅して、良好に電気的な接続をとるのが困難となる。そこで、この態様のように両者の平面位置を若干なりともずらしておけば、良好に電気的な接続が期待できる。

本発明の第1、第2又は第3電気光学装置の他の態様では、前記導電層の膜厚は、50nm以上500nm以下である。

このように構成すれば、導電層の膜厚は、50 nm以上500 nm以下である
ので、導電層の存在に起因する画素電極表面における段差による弊害（例えば、
液晶の配向不良など）が殆ど又は全く生じないか或いは導電層の上方に位置する
層間絶縁膜等における平坦化処理により、このような段差による影響を取り除く
ことが可能となる。そして、このように導電層による弊害を低減しつつ、前述の
如き導電層により様々な利益を得ることが可能となる。

本発明の第2電気光学装置の他の態様では、前記1層間絶縁膜の膜厚は、10
nm以上200 nm以下である。

このように構成すれば、第1層間絶縁膜の膜厚は、10 nm以上200 nm以
下であり、比較的薄い絶縁膜である。このため、この第1層間絶縁膜を誘電体膜
として利用して、前述の如くこの第1層間絶縁膜を介して第2蓄積容量電極と導
電層とを対向配置させてなる追加的な蓄積容量を構築すれば、この薄さに応じて
大容量の蓄積容量が得られる。

本発明の第3電気光学装置の他の態様では、前記第2誘電体膜の膜厚は、10
nm以上200 nm以下である。

このように構成すれば、第2誘電体膜の膜厚は、10 nm以上200 nm以下
であり、比較的薄い絶縁膜である。このため、この第2誘電体膜を介して第2蓄
積容量電極と第3蓄積容量電極とを対向配置させてなる蓄積容量は、この薄さに
応じて大容量となる。

本発明の導電層が遮光膜からなる態様では、前記導電層は、画素の開口領域の
少なくとも一部を規定するように構成してもよい。

このように構成すれば、導電層単独で、或いはデータ線や他方の基板に形成さ
れた遮光膜等と共に、画素の開口領域を規定することが可能となる。特に他方の
基板に遮光膜を形成しないで開口領域を規定すれば、製造プロセスにおける工程
を削減することが可能となると共に一対の基板間のアライメントずれによる画素
開口率の低下やばらつきを防ぐことも可能となり有利である。

本発明の電気光学装置の製造方法は上記課題を解決するために、複数の走査線
と、複数のデータ線と、前記走査線とデータ線に接続された薄膜トランジスタと、
前記薄膜トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置

の製造方法において、基板上に、前記薄膜トランジスタのソース領域、チャネル領域及びドレイン領域並びに前記蓄積容量の第1蓄積容量電極となる半導体層を形成する工程と、前記半導体層上に絶縁薄膜を形成する工程と、前記絶縁薄膜上に前記走査線及び前記蓄積容量の第2蓄積容量電極を夫々形成する工程と、前記
5 第2蓄積容量電極上に第1層間絶縁膜を形成する工程と、前記ゲート絶縁膜及び前記第1層間絶縁膜に対し前記第1コンタクトホールを開孔する工程と、前記第1コンタクトホールを介して前記半導体層に電気的に接続されるように前記第1層間絶縁膜上に導電層を形成する工程と、前記導電層上に第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜上に前記データ線を形成する工程と、前記データ線上に前記第3層間絶縁膜を形成する工程と、前記第2及び第3層間絶縁膜に
10 対し前記第2コンタクトホールを開孔する工程と、前記第2コンタクトホールを介して前記導電層に電気的に接続されるように画素電極を形成する工程とを含む。

本発明の電気光学装置の製造方法によれば、比較的簡単な各工程を用いて製造できる。

15 本発明の電気光学装置の製造方法の一の態様では、前記基板の前記チャネル領域に対向する領域に遮光膜を形成する工程と、該遮光膜上に下地絶縁膜を形成する工程とを更に含み、前記半導体層を形成する工程では、前記下地絶縁膜上に前記半導体層を形成する。

20 このように構成すれば、薄膜トランジスタの下側に遮光膜が設けられた電気光学装置を比較的少ない工程数で且つ比較的簡単な各工程を用いて製造できる。

本発明の電気光学装置の製造方法の一の態様では、前記基板及び前記下地絶縁膜及び前記第2層間絶縁膜及び前記第3層間絶縁膜のうち少なくとも一つを前記薄膜トランジスタ、走査線、データ線、及び蓄積容量に対応する領域の少なくとも一部分凹状に窪ませる工程を有する。

25 このように態様によれば、薄膜トランジスタ、走査線、データ線、及び蓄積容量に対応する領域の一部分凹状に形成することにより、画素電極の下側表面を平坦化することができ、ディスクリネーション等の不良を低減することができる。本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

[図面の簡単な説明]

図1は、電気光学装置の第1実施形態である液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路で
5 ある。

図2は、第1実施形態の液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図3は、図2のA-A'断面図である。

図4は、第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（そ
10 の1）である。

図5は、第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（そ
の2）である。

図6は、第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（そ
の3）である。

15 図7は、第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（そ
の4）である。

図8は、電気光学装置の第2実施形態である液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

20 図9は、図8のB-B'断面図である。

図10は、電気光学装置の第3実施形態である液晶装置の断面図である。

図11は、電気光学装置の第4実施形態である液晶装置の断面図である。

図12は、電気光学装置の第5実施形態である液晶装置の断面図である。

25 図13は、各実施形態の液晶装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

図14は、図12のH-H'断面図である。

図15は、本発明による電子機器の実施の形態の概略構成を示すブロック図である。

図16は、電子機器の一例としてプロジェクタを示す断面図である。

図17は、電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

1 a … 半導体層

1 a' … チャネル領域

5 1 b … 低濃度ソース領域

1 c … 低濃度ドレイン領域

1 d … 高濃度ソース領域

1 e … 高濃度ドレイン領域

1 f … 第1蓄積容量電極

10 2 … 絶縁薄膜（第1誘電体膜）

3 a … 走査線

3 b … 容量線

4 … 第2層間絶縁膜

5 … コンタクトホール

15 6 a … データ線

7 … 第3層間絶縁膜

8 a … 第1コンタクトホール

8 b … 第2コンタクトホール

9 a … 画素電極

20 10 … TFTアレイ基板

11 a、11 b … 第1遮光膜

12 … 下地絶縁膜

15 … コンタクトホール

16 … 配向膜

25 20 … 対向基板

21 … 対向電極

22 … 配向膜

23 … 第2遮光膜

30 … TFT

- 5 0…液晶層
- 5 2…シール材
- 5 3…第3遮光膜
- 7 0…蓄積容量
- 5 7 0 a…第1蓄積容量
- 7 0 b…第2蓄積容量
- 8 0…バリア層
- 8 1…第1層間絶縁膜（第2誘電体膜）
- 1 0 1…データ線駆動回路
- 10 1 0 4…走査線駆動回路

[発明を実施するための最良の形態]

以下、本発明の実施の形態を図面に基づいて説明する。

(電気光学装置の第1実施形態)

15 本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図3を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

20 図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。画素電極9a及びTFT30は、走査線3aとデータ線6aとの交差に対応して配置されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されてお

り、所定のタイミングで、走査線 3 a にパルス的に走査信号 G 1、G 2、…、G m を、この順に線順次で印加するように構成されている。画素電極 9 a は、TFT T 3 0 のドレインに電気的に接続されており、スイッチング素子である TFT 3 0 を一定期間だけそのスイッチを閉じることにより、データ線 6 a から供給される画像信号 S 1、S 2、…、S n を所定のタイミングで書き込む。画素電極 9 a を介して液晶に書き込まれた所定レベルの画像信号 S 1、S 2、…、S n は、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。例えば、画素電極 9 a の電圧は、ソース電圧が印加された時間よりも 3 倍も長い時間だけ蓄積容量 7 0 により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

図 2において、液晶装置の TFT アレイ基板上には、マトリクス状に複数の透明な画素電極 9 a（点線部 9 a' により輪郭が示されている）が設けられており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a、走査線 3 a 及び容量線 3 b が設けられている。データ線 6 a は、コンタクトホール 5 を介してポリシリコン膜等からなる半導体層 1 a のうち後述のソース領域に電気的に接続されており、画素電極 9 a は、図中右上がりの斜線で示した領域に夫々形成されておりバッファとして機能する導電層 8 0（以下、バリア層と称す。）を中継して、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を介して半導体層 1 a のうち後述のドレイン領域に電気的に接続されている。また、半導体層 1 a のうちチャネル領域 1 a'（図中右下りの斜線の領域）に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極として機能する。このように、走査線 3 a とデータ線 6 a との交差する個所には夫々、チャネル領域 1 a' に走査線 3 a がゲ

ート電極として対向配置された TFT 3 0 が設けられている。

容量線 3 b は、走査線 3 a に沿ってほぼ直線状に伸びる本線部と、データ線 6 a と交差する箇所からデータ線 6 a に沿って前段側（図中、上向き）に突出した突出部とを有する。

5 また、図中太線で示した領域には夫々、走査線 3 a、容量線 3 b 及び TFT 3 0 の下側を通るように、第 1 遮光膜 1 1 a が設けられている。より具体的には図 2において、第 1 遮光膜 1 1 a は夫々、走査線 3 a に沿って縞状に形成されていると共に、データ線 6 a と交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各 TFT のチャネル領域 1 a' を TFT アレイ基板側から見て夫々覆う位置に設けられている。

10 次に図 3 の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成する TFT アレイ基板 1 0 と、これに対向配置される透明な他方の基板の一例を構成する対向基板 2 0 とを備えている。TFT アレイ基板 1 0 は、例えば石英基板からなり、対向基板 2 0 は、例えばガラス基板や石英基板からなる。TFT アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 1 6 は例えば、ポリイミド薄膜などの有機薄膜からなる。

15 他方、対向基板 2 0 には、その全面に渡って対向電極 2 1 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 2 2 は、ポリイミド薄膜などの有機薄膜からなる。

TFT アレイ基板 1 0 には、各画素電極 9 a に隣接する位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用 TFT 3 0 が設けられている。

20 対向基板 2 0 には、更に図 3 に示すように、各画素の非開口領域に、第 2 遮光膜 2 3 を設けても良い。このため、対向基板 2 0 の側から入射光が画素スイッチング用 TFT 3 0 の半導体層 1 a のチャネル領域 1 a' や低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に侵入することはない。更に、第 2 遮光膜 2 3 は、コントラストの向上、カラーフィルタを形成した場合における色材の混色防止な

どの機能を有する。

このように構成され、画素電極 9 a と対向電極 2 1 とが対面するように配置された TFT アレイ基板 1 0 と対向基板 2 0との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 5 0 が形成される。液晶層 5 0 は、画素電極 9 a からの電界が印加されていない状態で配向膜 1 6 及び 2 2 により所定の配向状態をとる。液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFT アレイ基板 1 0 及び対向基板 2 0 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーブ等のギャップ材が混入されている。

更に図 3 に示すように、画素スイッチング用 TFT 3 0 に各々対向する位置において TFT アレイ基板 1 0 と各画素スイッチング用 TFT 3 0との間には、第 1 遮光膜 1 1 a が設けられている。第 1 遮光膜 1 1 a は、好ましくは不透明な高融点金属である Ti、Cr、W、Ta、Mo 及び Pb のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFT アレイ基板 1 0 上の第 1 遮光膜 1 1 a の形成工程の後に行われる画素スイッチング用 TFT 3 0 の形成工程における高温処理により、第 1 遮光膜 1 1 a が破壊されたり溶融しないようにできる。第 1 遮光膜 1 1 a が形成されているので、TFT アレイ基板 1 0 の側からの反射光（戻り光）等が光に対して励起しやすい画素スイッチング用 TFT 3 0 のチャネル領域 1 a' や低濃度ソース領域 1 b、低濃度ドレイン領域 1 c に入射する事態を未然に防ぐことができ、これに起因した光電流の発生により画素スイッチング用 TFT 3 0 の特性が変化したり、劣化することはない。

更に、第 1 遮光膜 1 1 a と複数の画素スイッチング用 TFT 3 0との間には、下地絶縁膜 1 2 が設けられている。下地絶縁膜 1 2 は、画素スイッチング用 TFT 3 0 を構成する半導体層 1 a を第 1 遮光膜 1 1 a から電気的に絶縁するために設けられるものである。更に、下地絶縁膜 1 2 は、TFT アレイ基板 1 0 の全面に形成されることにより、画素スイッチング用 TFT 3 0 のための下地膜としての機能をも有する。即ち、TFT アレイ基板 1 0 の表面の研磨時における荒れや、

洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG(ノンドープシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1蓄積容量電極1fとし、これに対向する容量線3bの一部を第2蓄積容量電極とし、絶縁薄膜2を走査線3aに対向する位置から延設してこれらの電極間に挟持された第1誘電体膜とすることにより、第1蓄積容量70aが構成されている。更に、この第2蓄積容量電極と対向するバリア層80の一部を第3蓄積容量電極とし、これらの電極間に第1層間絶縁膜81を設ける。第1層間絶縁膜81は第2誘電体膜としても機能し、第2蓄積容量70bが形成されている。そして、これら第1蓄積容量70a及び第2蓄積容量70bが第1コントクトホール8aを介して並列接続されて蓄積容量70が構成されている。

より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて画素スイッチング用TFT30を形成し、同じくデータ線6a及び走査線3aに沿って伸びる容量線3b部分に第1誘電体膜2を介して対向配置されて、第1蓄積容量電極1fとされる。特に第1誘電体膜2は、高温酸化等によりポリシリコン膜上に形成されるTFT30の絶縁薄膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができます、第1蓄積容量70aは比較的小面積で大容量の蓄積容量として構成できる。また、第2誘電体膜81も、絶縁薄膜2と同様に薄く形成することが可能なので、図2に示したように相隣接するデータ線6a間の領域を利用して、第2蓄積容量70bは比較的小面積で大容量の蓄積容量として構成できる。従って、これら第1蓄積容量70a及び第2蓄積容量70bから立体的に構成される蓄積容量70は、データ線6a下の領域や走査線3aに沿って液晶のディスクリネーションが発生する領域(即ち、容量線3bが形成された領域)という画素開口領域を外れたスペースを有效地に利用して、小面積で大容量の蓄積容量を形成することができる。

図3において、画素スイッチング用TFT30は、LDD構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁する絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つがバリア層80を中継して接続されている。低濃度ソース領域1b及び高濃度ソース領域1d並びに低濃度ドレイン領域1c及び高濃度ドレイン領域1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用の不純物をドープすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施形態では特にデータ線6aは、A1等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。また、バリア層80及び第2誘電体膜（第1層間絶縁膜）81の上には、高濃度ソース領域1dへ通じるコンタクトホール5及びバリア層80へ通じるコンタクトホール8bが各々形成された第2層間絶縁膜4が形成されている。この高濃度ソース領域1dへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気的に接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、バリア層80へのコンタクトホール8bが形成された第3層間絶縁膜7が形成されている。このコンタクトホール8bを介して、画素電極9aはバリア層80に電気的に接続されており、更にバリア層80を中継してコンタクトホール8aを介して高濃度ドレイン領域1eに電気的に接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部であるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルファーライン型のTFTであってもよい。

- また本実施形態では、画素スイッチング用TFT30の走査線3aの一部であるゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリブルゲート以上でTFTを構成すれば、チャネルとソースードレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。
- 図2及び図3に示すように、本実施形態の液晶装置では、TFTアレイ基板10上には、データ線6a及び走査線3bが第2層間絶縁膜4を介して立体的に相交差するように設けられている。そして、バリア層80は、半導体層1aと画素電極9aとの間に介在しており、高濃度ドレイン領域1eと画素電極9aとを第1コンタクトホール8a及び第2コンタクトホール8bを経由して電気的に接続する。

このため、画素電極9aから半導体層1aのドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、第1コンタクトホール8a及び第2コンタクトホール8bの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッティング時の選択比が低いとコンタクトホールを深く開孔する程エッティング精度は落ちるため、例えば50nm程度の非常に薄い半導体層1aにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッティングを途中で停止して、最終的にウエットエッティングで半導体層1aまで開孔するように工程を組まねばならない。或いは、ドライエッティングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。

これに対して本実施形態では、画素電極9a及び高濃度ドレイン領域1eを2つの直列な第1コンタクトホール8a及び第2コンタクトホール8bにより接続すればよいので、これら第1コンタクトホール8a及び第2コンタクトホール8bを夫々、ドライエッティングにより開孔することが可能となるのである。或いは、

少なくともウエットエッティングにより開孔する距離を短くすることが可能となるのである。但し、第1コンタクトホール8a及び第2コンタクトホール8bに夫々、若干のテーパを付けるために、ドライエッティング後に敢えて比較的短時間のウエットエッティングを行うようにしてもよい。

- 5 以上のように本実施形態によれば、第1コンタクトホール8a及び第2コンタクトホール8bの径を夫々小さくでき、第1コンタクトホール8aにおけるバリア層80の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極9aの部分における平坦化が促進される。更に、第2コンタクトホール8bにおける画素電極9aの表面に形成される窪みや凹凸も小さくて済むので、
10 この画素電極9aの部分における平坦化が促進される。これらの結果、画素電極9aの表面の窪みや凹凸に起因する液晶層50におけるディスクリネーションが低減され、最終的には当該液晶装置により高品位の画像表示が可能となる。例えば、バリア層80と画素電極9aとの間に介在する第2層間絶縁膜4及び第3層間絶縁膜7の合計膜厚を数百nm程度に抑えておけば、上述した画素電極9aの
15 表面における窪みや凹凸に、より直接的に影響する第2コンタクトホール8bの径を非常に小さくできる。

- 尚、本実施形態では、バリア層80は高融点金属膜やその合金膜から構成されているので、金属膜と層間絶縁膜とのエッティングにおける選択比が大きく異なるため、前述の如きドライエッティングによるバリア層80の突き抜けの可能性は殆
20 ど無い。

- 本実施形態では特に、バリア層80を中心にして立体的に構成された蓄積容量70における、第1誘電体膜2及び第2誘電体膜81は、いずれも、立体的に相交差するデータ線6aと走査線3bとの間に介在する第2層間絶縁膜4とは異なる層に設けられた誘電体膜である。従って、フリッカ等の原因となる画像信号の電圧降下を引き起こすデータ線6a及び走査線3a間の寄生容量を抑えるために、
25 第2層間絶縁膜4とは異なる層を介してバリア層80を設けて蓄積容量を付加するため、本実施形態の場合には、これらの第1誘電体膜2及び第2誘電体膜81を技術的な限界まで薄く構成することが可能となる。この結果、特に第2蓄積容量70bにおいて第2誘電体膜81の厚みに反比例する容量値を極めて効率的に

増加させることが可能となる。特に、画素スイッチング用TFT30における絶縁薄膜2のように余り薄く構成するとトンネル効果等の特異現象が発生することもないので、膜破れなどの欠陥が生じないことを条件に、例えば200nm程度或いは絶縁薄膜2よりも薄い10nm以上50nm以下の厚みを持つ極薄い第2誘電体膜81を形成することにより、非常に大容量の第2蓄積容量70aを比較的小さな領域内に作り込むことが可能となる。これにより、フリッカの発生を抑制するだけでなく、電圧保持能力を高めることができるために、高コントラストな電気光学装置を提供できる。

本願発明者等の実験及び研究によれば、仮に、データ線6aと同一の導電層からバリア層が構成される前述した従来技術において、このバリア層を蓄積容量の一方の電極として用いて、データ線6a及び走査線3a間の層間絶縁膜を誘電体膜として用いると仮定すると、データ線6aと走査線3aとの寄生容量が問題とならないようとするためには、誘電体膜（本実施形態の第2層間絶縁膜に相当する膜）には800nm程度の厚みが必要とされる。従って、同一面積において本実施形態では、数倍から十数倍或いはそれ以上の大きさの容量値を持つ第2蓄積容量70bを実現できるので、極めて有利である。

尚、バリア層80と画素電極9aの間に更に、他の一又は複数のバリア層を層間絶縁膜を介して積層形成することにより、限られたTFTアレイ基板10上の領域を利用して更に立体的に蓄積容量を増大させることも可能である。

このように第2蓄積容量70bを構成する第2誘電体膜81は、酸化シリコン膜、窒化シリコン膜等でもよいし、これらの膜を複数積層した多層膜から構成してもよい。一般に絶縁薄膜2を形成するのに用いられる各種の公知技術（減圧CVD法、常圧CVD法、プラズマCVD法、熱酸化法、スパッタリング法、ERCプラズマ法、リモートプラズマ法等）により、第2誘電体膜81を形成可能である。但し、このようなバリア層80による蓄積容量付加機能に代えてまたは加えて、特に遮光膜からなるバリア層80の遮光機能や第1コンタクトホール8a及び第2コンタクトホール8bのレイアウト等を重視して、バリア層80や第2誘電体膜81を走査線3a上に至るまで形成する場合には、第2誘電体膜81をバリア層80及び走査線3a間の寄生容量が問題とならない程度に厚く形成する

のが好ましい。

他方、バリア層8 0の膜厚は、例えば50 nm以上500 nm以下程度とするのが好ましい。50 nm程度の厚みがあれば、製造プロセスにおける第2コンタクトホール8 bの開孔時に突き抜ける可能性は低くなり、また500 nm程度で5あれば画素電極9 aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。

更に本実施形態では、このように第1層間絶縁膜（第2誘電体膜）8 1を薄く形成することにより、第1コンタクトホール8 aの径を更に小さく出来るので、前述した第1コンタクトホール8 aにおけるバリア層8 0の窪みや凹凸が更に小さくて済み、その上方に位置する画素電極9 aにおける平坦化が更に促進される。従って、画素電極9 aにおける窪みや凹凸に起因した液晶のディスクネーションが低減され、最終的には当該液晶装置により一層高品位の画像表示が可能となる。

尚、本実施形態の液晶装置の構成においても、従来同様に、走査線3 bとデータ線6 aとの間に介在する第2層間絶縁膜4については、両配線間における寄生容量が問題とならない程度の厚み（例えば、800 nm程度の厚み）が必要とされる。

以上のように構成された本実施形態においては特に、縞状に形成された第1遮光膜1 1 aは、走査線3 a下に延設されて、定電位源又は大容量部分に電気的に接続されてもよい。このように構成すれば、第1遮光膜1 1 aに対向配置される20画素スイッチング用TFT 3 0に対し第1遮光膜1 1 aの電位変動が悪影響を及ぼすことはない。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極2 1に供給される定電位源等が挙げられる。

25 また、容量線3 bと走査線3 aとは、同一のポリシリコン膜からなり、第1蓄積容量7 0 aの第1誘電体膜2と画素スイッチング用TFT 3 0の絶縁薄膜2とは、同一の高温酸化膜等からなり、第1蓄積容量電極1 fと画素スイッチング用TFT 3 0のチャネル領域1 a'、低濃度ソース領域1 b、低濃度ドレイン領域1 c、高濃度ソース領域1 d、高濃度ドレイン領域1 e等とは、同一の半導体層

1a からなる。このため、TFTアレイ基板 10 上に形成される積層構造を単純化でき、更に、後述の電気光学装置の製造方法において、同一の薄膜形成工程で容量線 3b 及び走査線 3a を同時に形成でき、蓄積容量 70a の第 1 誘電体膜及び絶縁薄膜 2 を同時に形成できる。

- 5 本実施形態では特に、バリア層80は、導電性の遮光膜からなる。従って、バ
リヤ層80により、各画素開口領域を少なくとも部分的に規定することが可能と
なる。また、バリア層80により、あるいはデータ線6a等の遮光性を有する配
線のTFTアレイ基板10に形成された遮光性を有する膜との組み合わせで画素
開口部を規定することにより、対向基板20側の第2遮光膜を省略することも可
能である。対向基板20上の第2遮光膜23ではなく、TFTアレイ基板10上
に内蔵遮光膜としてバリア層80設ける構成は、製造プロセスにおけるTFTア
レイ基板10と対向基板20との位置ずれによって画素開口率の低下を招かない
点で極めて有利である。

尚、対向基板20上の第2遮光膜23は、主に入射光による液晶装置の温度上昇を抑える目的で、小さめ（幅狭）に形成して画素開口領域を規定しないように構成してもよい。この場合、第2遮光膜23をA1膜等の反射率の高い材質で形成すれば、更に効率的に温度上昇を抑えることができる。このように第2遮光膜23をTFTアレイ基板における遮光領域よりも小さめに形成しておけば、製造プロセスにおける両基板間の多少の位置ずれによっては画素開口領域が小さくならないで済む。

遮光膜からなるバリア層80は、例えば、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びNbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このように構成すれば、バリア層80形成工程の後に行われる高温処理により、バリア層80が破壊されたり溶融しないようできる。

更に、これらの高融点金属と画素電極9aを構成するITO膜とが接触してもイオン化率の違いで高融点金属が溶けてしまうことはないため、第2コンタクトホール8bを介してバリア層80及び画素電極9a間で良好に電気的な接続がとれる。

また本実施形態では特に、遮光膜からなるバリア層80は、図2に示すように、TFTアレイ基板10上における平面形状が相隣接するデータ線6a間を走査線3aに沿って伸び、各画素単位毎に島状に構成されている。これにより、遮光膜による応力の緩和を図ることができる。また、画素開口領域の走査線3aに沿った辺の一部又は全部をバリア層80により規定することも可能である。ここで具体的な回路設計に応じて走査線3a及びバリア層80間の寄生容量が問題となる場合は、本実施形態のように、走査線3a上にはバリア層80を設けることなく、容量線3bと画素電極9aとが隣接する側における画素開口領域の走査線3aに沿った辺をバリア層80により規定するのが好ましい。或いは、具体的な回路設計に応じて走査線3a及びバリア層80間の寄生容量が問題とならないのであれば、バリア層80は、第2誘電体膜81を介して走査線3aに対向する位置にも形成されてよい。このように構成すれば、走査線3a及び容量線3bの両者を夫々少なくとも部分的に覆う遮光性のバリア層80により、画素開口領域の走査線3aに沿った辺のより多くの部分を規定することが可能となる。言い換えれば、15 このように構成する場合には、走査線3a及びバリア層80の寄生容量が問題とならない程度に第2誘電体膜81を厚く構成するのが好ましい。或いは、この寄生容量を小さく抑えるためには、バリア層80により、走査線3aを画素開口領域を規定するのに必要な領域だけ覆うのが好ましい。

尚、走査線3aと画素電極9aとが隣接する側（図2で下側）における画素開口領域の走査線3aに沿った辺については、第1遮光膜11aや第2遮光膜23により規定すればよい。また、画素開口領域のデータ線6aに沿った辺については、A1等からなるデータ線6a或いは第1遮光膜11aや第2遮光膜23により規定すればよい。

更に図2に示したように島状のバリア層80の走査線3a方向の各端部とデータ線6aの縁部とは、平面的に見て若干重なるように構成するのが好ましい。このように構成すれば、両者間に入射光が透過するような隙間が生じないで済み、この部分における光抜け等の表示不良を防止できる。ここで、データ線6aとバリア層80と第1遮光膜11aあるいは、データ線6aとバリア層80等の遮光性を有する膜により画素開口部を規定することが可能である。このような場合、

対向基板20に第2遮光膜23を形成しなくて済むため、対向基板20に第2遮光膜23を形成する工程を削減することが可能である。さらに、対向基板20とTFTアレイ基板10とのアライメントずれによる画素開口率の低下やばらつきを防ぐことができる。また、対向基板20に第2遮光膜23を設ける場合は、TFTアレイ基板10とのアライメントずれを考慮して大きめに形成するが上述のようにデータ線6a、バリア層80等のTFTアレイ基板10側に形成された遮光性の膜により画素開口部を規定するため、精度よく画素開口部を規定することができ、対向基板20に設けた第2遮光膜23により画素開口部を決める場合に比べて開口率を向上させることができる。

以上説明したように本実施形態では特に、バリア層80が導電性の遮光膜からなるため様々な利点が得られるが、バリア層80を、高融点金属膜ではなく、例えば、リン等をドープした導電性のポリシリコン膜から構成してもよい。このように構成すれば、バリア層80は、遮光膜としての機能は発揮しないが、蓄積容量70を増加させる機能及びバリア層本来の中継機能は十分に発揮し得る。更に、第2層間絶縁膜4との間で熱等によるストレスが発生しにくくなるので、バリア層80及びその周辺におけるクラック防止に役立つ。他方、画素開口領域を規定するための遮光については、第1遮光膜11aや第2遮光膜23により別途行えばよい。

また、本実施形態では、TFT30の下側に形成される第1遮光膜11aにより画素開口領域の一部又は全部を規定してもよい。例えば、第1遮光膜11aを、図2において平面的に見てバリア層80の脇に並べるか若干重なるように並べれば、これらの第1遮光膜11a及びバリア層80により、画素開口領域の走査線3aに沿った辺を規定できる。

本実施形態では特に、第2図及び第3図に示されるように第1コンタクトホール8aと第2コンタクトホール8bとは、TFTアレイ基板10上における相異なった平面位置に開孔されている。従って、これら第1コンタクトホール8a及び第2コンタクトホール8bが開孔された平面位置に発生する凹凸が、相重なって凹凸が増幅する事態を回避できる。よって、これらのコンタクトホールにおける良好に電気的な接続が期待できる。

尚、コンタクトホール8a、8b及び5の平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。そして、良好に電気的な接続を得るために、ドライエッチング後にウェットエッチングを行って、これらのコンタクトホール
5 8a、8b及び5に夫々若干のテープをつけることが好ましい。

(電気光学装置の第1実施形態における製造プロセス)

次に、以上のような構成を持つ実施形態における液晶装置の製造プロセスについて、図4から図7を参照して説明する。尚、図4から図7は各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す
10 工程図である。

先ず図4の工程(1)に示すように、石英基板、ハードガラス、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約900~1300°Cの高温で熱処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10と同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリング等により、100~500nm程度の膜厚、好ましくは約200nmの膜厚の
20 遮光膜11を形成する。尚、遮光膜11上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

次に工程(2)に示すように、該形成された遮光膜11上にフォトリソグラフィ工程により第1遮光膜11aのパターン(図2参照)に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うこと
25 により、第1遮光膜11aを形成する。

次に工程(3)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・オスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどの

シリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500～2000nmとする。尚、TFTアレイ基板10裏面からの戻り光が問題にならない場合は、第1遮光膜11aを形成する必要はない。

- 5 次に工程(4)に示すように、下地絶縁膜12の上に、約450～550°C、好ましくは約500°Cの比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700°Cにて約1～10時間、好ましくは、4～6時間の熱処理を施すことにより、ポリシリコン膜1を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使った熱処理でも良いし、エキシマレーザー等を用いたレーザー熱処理でも良い。
- 10

- この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物を僅かにイオン注入等によりドープしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物を僅かにイオン注入等によりドープしても良い。
- 15
- 20 尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。

- 25 次に工程(5)に示すように、フォトリソグラフィ工程、エッティング工程等により、図2に示した如き所定パターンを有する半導体層1aを形成する。

次に工程(6)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300°Cの温度、好ましくは約1000°Cの温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜2aを形成し、更に工程(7)に示すように、減圧CVD法等により高温酸化シリコン

膜（HTO膜）や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的薄い厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ画素スイッチング用TFT30の絶縁薄膜2と共に蓄積容量形成用の第1誘電体膜2を同時に形成する。この結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜（第1誘電体膜）2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

次に工程（8）に示すように、フォトリソグラフィ工程、エッティング工程等によりレジスト層500を第1蓄積容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドープして、第1蓄積容量電極1fを低抵抗化しても良い。

次に工程（9）に示すように、レジスト層500を除去した後、減圧CVD法等によりポリシリコン膜3を堆積し、更にPを熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドープトポリシリコン膜を用いてもよい。ポリシリコン膜3の膜厚は、約100～500nmの厚さ、好ましくは約300nmに堆積する。

次に図5の工程（10）に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッティング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。走査線3a及び容量線3bは、高融点金属や金属シリサイド等の金属合金膜で形成しても良いし、ポリシリコン膜等と組み合わせた多層配線としても良い。

次に工程（11）に示すように、図3に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PなどのV族元素の不純物を低濃度で（例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて）ドープする。こ

れにより走査線3a下の半導体層1aはチャネル領域1a'となる。

次に工程(12)に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じく

- 5 PなどのV族元素の不純物を高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15}/cm^2$ のドーズ量にて)ドープする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物を用いてドープする。尚、例えば、低濃度
10 のドープを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルファーライン型のTFTとしてもよい。この不純物のドープにより容量線3b及び走査線3aも更に低抵抗化される。

尚、これらのTFT30の素子形成工程と並行して、nチャネル型TFT及び
15 pチャネル型TFTから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTFTアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用TFT30を構成する半導体層1aをポリシリコン膜で形成すれば、画素スイッチング用TFT30の形成時
にはほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

20 次に工程(13)に示すように、レジスト層600を除去した後、容量線3b及び走査線3a並びに絶縁薄膜(第1誘電体膜)2上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる第1層間絶縁膜81を10nm以上200nm以下の比較的薄い厚さに堆積する。

但し、前述のように、第1層間絶縁膜81は、多層膜から構成してもよいし、一

般にTFTの絶縁薄膜を形成するのに用いられる各種の公知技術により、第1層

間絶縁膜81を形成可能である。第1層間絶縁膜81の場合には、第2層間絶縁膜4の場合のように余り薄くするとデータ線6a及び走査線3a間の寄生容量が

大きくなってしまうことはなく、またTFT30における絶縁薄膜2のように余り薄く構成するとトンネル効果等の特異現象が発生することもない。また、第1

- 25

層間絶縁膜81は、容量線の一部である第2蓄積容量電極とバリア層80の間で、第2誘電体膜として機能する。そして、第2誘電体膜81を薄くする程、第2蓄積容量70bは大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、絶縁薄膜2よりも薄い50nm以下の厚みを持つ極薄い絶縁膜となるように

- 5 第2誘電体膜81を形成すると本実施形態の効果を増大させることができる。

次に工程(14)に示すように、バリア層80と高濃度ドレイン領域1eとを電気的に接続するためのコンタクトホール8aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール8aを開孔可能である。或いは、コンタクトホール8aが半導体層1aを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、コンタクトホール8aに対し、より良好に電気的な接続をとるためのテープを付与する観点からも有効である。

- 10 次に工程(15)に示すように、第1層間絶縁膜81及びコンタクトホール8aを介して覗く高濃度ドレイン領域1eの全面に、Ti、Cr、W、Ta、Mo及びNb等の金属や金属シリサイド等の金属合金膜をスパッタリング等により堆積して、50～500nm程度の膜厚の導電膜80'を形成する。50nm程度の厚みがあれば、後に第2コンタクトホール8bを開孔する時に突き抜ける可能性は殆どない。尚、この導電膜80'上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。また、導電膜80'は応力緩和のためにドープトポリシリコン膜等を用いても良い。この際、下層にドープトポリシリコン膜(導電性のポリシリコン膜)を用いて上層に金属膜を用いて2層以上の積層された導電膜80'を形成してもよい。また、2層のポリシリコン膜の間に金属膜を挟んで3層としてもよい。このように、導電膜80'と高濃度ドレイン領域1eとを電気的に接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。

次に図6の工程(16)に示すように、該形成された導電膜80'上にフォトマスクによりバリア層80のパターン(図2参照)に対応するレジストマスクを形成し、該レジストマスクを介して導電膜80'に対しエッチングを行う

ことにより、第3蓄積容量電極を含むバリア層80を形成する。

次に工程（17）に示すように、第1層間絶縁膜81及びバリア層80を覆う

ように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、P

SG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリ

5 コン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の膜厚は、約

500～1500nmが好ましい。第2層間絶縁膜4の膜厚が500nm以上あ

れば、データ線6a及び走査線3aにおける寄生容量は余り又は殆ど問題とな

らない。

次に工程（18）の段階で、高濃度ソース領域1d及び高濃度ドレイン領域1

10 eを活性化するために約1000°Cの熱処理を20分程度行った後、データ線6

aに対するコンタクトホール5を開孔する。また、走査線3aや容量線3bをT

FTアレイ基板10の周辺領域において図示しない配線と接続するためのコンタ

クトホールも、コンタクトホール5と同一の工程により第2層間絶縁膜4を開孔

することができる。

15 次に、工程（19）に示すように、第2層間絶縁膜4の上に、スパッタリング

等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、

約100～500nmの厚さ、好ましくは約300nmに堆積する。

次に工程（20）に示すように、フォトリソグラフィ工程、エッチング工程等

により、データ線6aを形成する。

20 次に図7の工程（21）に示すように、データ線6a上を覆うように、例えば、

常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、B

P SGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる

第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500～1500

nmが好ましい。

25 次に工程（22）に示すように、画素電極9aとバリア層80とを電気的に接

続するためのコンタクトホール8bを、反応性イオンエッチング、反応性イオン

ビームエッチング等のドライエッチングにより形成する。また、テーパ状にする

ためにウェットエッチングを用いても良い。

次に工程（23）に示すように、第3層間絶縁膜7の上に、スパッタリング等

により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに堆積し、更に工程(24)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよ
5 い。

続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。

他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、
10 第2遮光膜23及び後述する額縁としての第3遮光膜が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの第2及び第3遮光膜は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。尚、TFTアレイ基板10上で、データ線6a、バリア層80、第1
15 遮光膜11a等で遮光領域を規定すれば、対向基板20上の第2遮光膜23や第3遮光膜を省くことができる。

その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した
20 後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22(図3参照)が形成される。

最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するように後述するシール材により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。
25

(電気光学装置の第2実施形態)

本発明による電気光学装置の第2実施形態である液晶装置の構成について、図8及び図9を参照して説明する。図8は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図

9は、図8のB-B'断面図である。尚、図8及び図9に示した第2実施形態において図2及び図3に示した第1実施形態と同様の構成要素については、同様の参考符号を付し、その説明は省略する。また、図9においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならし
5 めてある。

図8及び図9において、第2実施形態では第1実施形態とは異なり、第1遮光膜11bがTFTアレイ基板10側から見て走査線3a、容量線3b及びデータ線6aを覆うように即ち、各画素を囲む格子状の非開口領域の全域に設けられている。更に、下地絶縁膜12には、容量線3bと第1遮光膜11bとを電気的に
10 接続するコンタクトホール15が設けられている。容量線3b及び第1遮光膜11bは、基板周辺領域において、定電位配線に接続されている。その他の構成については第1実施形態の場合と同様である。

従って、第2実施形態によれば、第1遮光膜11bは、画素開口領域を規定する機能と共に容量線3bの定電位配線又は冗長配線としての機能を有するだけではなく、容量線自体の抵抗を下げることができ、画質品位を向上させる。このよう
15 に構成すれば、第1遮光膜11b単独で画素開口領域を規定することが可能となる。更に、容量線3b及び第1遮光膜11bの電位を同一の一定電位にでき、容量線3bや第1遮光膜11bにおける電位揺れによる画像信号やTFT30への悪影響を低減できる。また、第1遮光膜11bと半導体層1aの間に介在する下
20 地絶縁膜12を誘電体膜とし、更に蓄積容量を付加することができる。

また、第1遮光膜11bを容量線として代用すれば、走査線3aと同一工程で形成される容量線3bは、各画素単位毎に蓄積容量電極として島状に設けてよい。このように構成することで、画素開口率を向上することが可能となる。

尚、このような第1遮光膜11bは、第1実施形態における製造プロセス中、
25 工程(2)におけるレジストマスクのパターンを変更すれば形成できる。また、コンタクトホール15は、第1実施形態における製造プロセス中、工程(8)と工程(9)の間に、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングやウェットエッチングを施すことにより開孔すればよい。

(電気光学装置の第3実施形態)

本発明による電気光学装置の第3実施形態である液晶装置の構成について、図10を参照して説明する。図10は、第2実施形態における図8の平面図のB-B'断面に対応する第3実施形態の断面図である。尚、図10に示した第3実施形態において図8に示した第2実施形態と同様の構成要素については、同様の参考照符号を付し、その説明は省略する。また、図10においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

図10において、第3実施形態では第2実施形態とは異なり、第3層間絶縁膜7'は、上側表面が平坦に形成されている。この結果、第3層間絶縁膜7'を下地膜とする画素電極9a及び配向膜16も平坦化されている。その他の構成については第2実施形態の場合と同様である。

従って、第3実施形態によれば、データ線6aに重ねて走査線3a、TFT30、容量線3b等が形成される領域の他の領域に対する段差が低減される。このようにして画素電極9aが平坦化されているので、当該平坦化の度合いに応じて液晶層50のディスクリネーションの発生を低減できる。この結果、第3実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることも可能となる。

尚、このような第3層間絶縁膜7'の平坦化は、例えば、第1実施形態の製造プロセスにおける工程(21)の際、CMP(Chemical Mechanical Polishing)処理、スピンドル処理、リフロー法等により行ったり、有機SOG(Spin On Glass)、無機SOG、ポリイミド膜等を利用して行えばよい。このように平坦化するために第3層間絶縁膜7'の膜厚が厚くなてもバリア層80が選択比の高い膜で形成されているため、エッチング時に膜を突き抜けることがない。

(電気光学装置の第4実施形態)

本発明による電気光学装置の第4実施形態である液晶装置の構成について、図11を参照して説明する。図11は、第2実施形態における図8の平面図のB-B'断面に対応する第4実施形態の断面図である。尚、図10に示した第4実施形態において図8に示した第2実施形態と同様の構成要素については、同様の参考照符号を付し、その説明は省略する。また、図11においては、各層や各部材を

図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

図11において、第4実施形態では第2実施形態とは異なり、TFTアレイ基板10'は、その上側表面が、データ線6a、走査線3a及び容量線3bに対向する部分が凹状に窪んで形成されている。この結果、TFTアレイ基板10'上にこれらの配線や層間絶縁膜を介して形成される画素電極9a及び配向膜16も平坦化されている。その他の構成については第2実施形態の場合と同様である。

従って、第4実施形態によれば、データ線6aに重ねて走査線3a、TFT30、容量線3b等が形成される領域と形成されない領域に対する段差が低減される。このようにして画素の非開口領域の少なくとも一部分を埋め込むだけで画素電極9aがほぼ平坦化され、当該平坦化の度合いに応じて液晶層50のディスクリネーションの発生を低減できる。この結果、第4実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることも可能となる。

尚、このようなTFTアレイ基板10'は、例えば、第1実施形態の製造プロセスにおける工程(1)の前に、凹状の窪みを形成すべき領域にエッチングを施せばよい。

上述のように第3実施形態では、第3層間絶縁膜上面を平坦化し、第4実施形態では、基板を凹状に溝を形成した上に配線や素子部を形成して最終的に画素電極を平坦化しているが、第2層間絶縁膜4又は下地絶縁膜12を凹状に窪めて形成しても同様の平坦化の効果が得られる。この場合、各層間絶縁膜を凹状に形成する方法としては、各層間絶縁膜を二層構造として、一層のみからなる薄い部分を凹状の窪み部分として二層の厚い部分を凹状の土手部分とするように薄膜形成及びエッチングを行なえばよい。或いは、各層間絶縁膜を单一層構造として、エッチングにより凹状の窪みを開孔するようにしてもよい。これらの場合、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングを用いると、設計寸法通りに凹状部分を形成できる利点がある。一方、少なくもヒュットエッチングを単独で又はドライエッチングと組み合わせて用いた場合には、凹状の窪みの側壁面をテーパ状に形成できるため、後工程で凹状の窪み内に形成されるポリシリコン膜、レジスト等の側壁周囲への残留を低減できるので、歩留

まりの低下を招かない利点が得られる。

(電気光学装置の第5実施形態)

本発明による電気光学装置の第5実施形態である液晶装置の構成について、図12を用いて説明する。図12は、第1実施形態における図2のA-A'断面図にに対応する第5実施形態の断面図である。尚、図12に示した第5実施形態において第1実施形態と同様の構成要素については、同様の参照部号を付し、その説明は省略し、第1実施形態と異なる点のみ説明する。

第5実施形態では、容量線3b上においてバリア層80と画素電極9aを電気的に接続するための第2コンタクトホール8bが形成されている。このように、容量線3b上に第2コンタクトホール8bを形成することにより、第2コンタクトホール8bの領域下の面積も容量として機能させることができるために、その分容量を大きくすることができる。

(電気光学装置の全体構成)

以上のように構成された各実施形態における電気光学装置に一例である液晶装置の全体構成を図13及び図14を参照して説明する。尚、図13は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図14は、図13のH-H'断面図である。

図13において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動

回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線 6a を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。

- 5 更に TFT アレイ基板 10 の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1 箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電気的に導通をとるための導通材 106 が設けられている。そして、図 14 に示すように、図 13 に示したシール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により TFT アレイ基板 10 に固着されている。尚、TFT アレイ基板 10 上には、これらのデータ線駆動回路 101、走査線駆動回路 104 等に加えて、複数のデータ線 6a に画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線 6a に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板 20 上の第 2 遮光膜 23 は TFT アレイ基板 10 の遮光領域よりも小さく形成すれば良い。また、液晶装置の用途により、第 2 遮光膜 23 は容易に取り除くことができる。

- 以上図 1 から図 14 を参照して説明した各実施形態では、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (Tape Automated Bonding) 基板上に実装された駆動用 LSI に、TFT アレイ基板 10 の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板 20 の投射光が入射する側及び TFT アレイ基板 10 の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA(Vertically Aligned) モード、PDL C(Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

以上説明した各実施形態における電気光学装置は、カラー表示のプロジェクタ

等に適用されるため、3枚の電気光学装置がR（赤）G（緑）B（青）用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、プロジェクタ以外の直視型や反射型のカラー液晶テレビなどに各実施形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。

このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

以上説明した各実施形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにもても良い。即ち、このように電気光学装置を液晶プロジェクタに取り付けても、半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR(Anti Reflection)被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があったが、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要が無くなる。

従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

また、各画素に設けられるスイッチング素子としては、正スタガ型又はコブラナ一型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

10 (電子機器)

次に、以上詳細に説明した電気光学装置100を備えた電子機器の実施の形態について図15から図17を参照して説明する。

先ず図15に、このように電気光学装置100を備えた電子機器の概略構成を示す。

15 図15において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、電気光学装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアル-パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、電気光学装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、電気光学装置100を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

次に図16から図17に、このように構成された電子機器の具体例を各々示す。

図16において、電子機器の一例たるプロジェクタ1100は、上述した駆動回路1004がTFTアレイ基板上に搭載された電気光学装置100を含むライトバルブを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

図17において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した電気光学装置100がトップカバーケース内に設けられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

以上図16から図17を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図15に示した電子機器の例として挙げられる。

以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な電気光学装置を備えた各種の電子機器を実現できる。

[産業上の利用分野]

以上説明したように本発明の第1電気光学装置によれば、積層構造中の特定位

置に形成された導電層により、様々な観点から、当該電気光学装置の表示画質の向上やレイアウト自由度の増加、装置安定性や信頼性の向上、製造プロセスの容易化などを図ることが可能となる。

本発明の第2電気光学装置によれば、走査線の下側に薄膜トランジスタと共に並ぶ位置において容量線の下側に蓄積容量とを含む積層構造中の特定位置に形成された導電層により、様々な観点から、当該電気光学装置の表示画質の向上やレイアウト自由度の増加、装置安定性や信頼性の向上、製造プロセスの容易化などを図ることが可能となる。

本発明の第3電気光学装置によれば、データ線と走査線との間における寄生容量等とは無関係に薄膜化できる第2誘電体膜を利用して、簡単且つ効率的に蓄積容量の増大を図れる。このため、蓄積容量不足に起因するフリッカを低減できると共にコントラスト比を向上でき、特に高精細化や超小型化の際にも、十分な蓄積容量を付加することが可能となる。また、導電層のバッファ機能により、画素電極及びドレイン領域間の電気的な接続を容易に行えると共にコンタクトホールの径を小さくできるだけでなく、第1又は第2誘電体膜の薄膜化に応じてコンタクトホール径を更に小さくできるので、コンタクトホールの存在に起因した画素開口率向上や電気光学物質のディスクリネーションの発生等の防止を図ることができる。更にまた、第2コンタクトホールは、平面的に見てデータ線が存在せず且つ導電層が存在する領域であれば、任意の平面位置に開孔可能であるため、第2コンタクトホールを開孔する位置の自由度が格段に高まるので、平面レイアウトに関する設計自由度が非常に高まり、実用上大変便利である。

また、本発明の電気光学装置の製造方法によれば、比較的少ない工程数で且つ比較的簡単な各工程を用いて本発明の電気光学装置を製造できる。

請求の範囲

1. 基板に複数の走査線及び複数のデータ線と、前記走査線及び前記データ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極及び該画素電極に接続された蓄積容量とを有する電気光学装置であって、
5 前記走査線及び前記蓄積容量の一方の電極の上方に形成された第1層間絶縁膜と、該第1層間絶縁膜の上方に形成された導電層と、該導電層の上方に形成された第2層間絶縁膜とを具備しており、
前記データ線は、前記第2層間絶縁膜上に形成されていることを特徴とする電
10 気光学装置。
2. 前記基板に、前記データ線の上方に形成された第3層間絶縁膜を更に具備しており、前記画素電極は、前記第3層間絶縁膜上に形成されると共に前記第2及び第3層間絶縁膜に形成されたコンタクトホールを介して前記導電層に電気的に接続されており、
15 前記導電層は、前記半導体層に電気的に接続されていることを特徴とする請求項1に記載の電気光学装置。
3. 基板に複数の走査線及び複数のデータ線と、各前記走査線及び各前記データ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタのソース領域及びドレイン領域並びに第1蓄積容量
20 電極を構成する半導体層と、該半導体層上に形成されている絶縁薄膜と、該絶縁薄膜上に形成されていると共に前記走査線の一部からなる前記薄膜トランジスタのゲート電極と、前記絶縁薄膜上に形成されている第2蓄積容量電極と、前記走査線及び前記第2蓄積容量電極の上方に形成された第1層間絶縁膜と、該第1層間絶縁膜の上方に形成された導電層と、該導電層の上方に形成された第2層間絶
25 縁膜とを具備しており、
前記データ線は、前記第2層間絶縁膜上に形成されると共に前記絶縁薄膜並びに前記第1及び第2層間絶縁膜に形成されたコンタクトホールを介して、前記半導体層のソース領域に電気的に接続されていることを特徴とする電気光学装置。
4. 前記導電層は、前記第1層間絶縁膜及び前記絶縁薄膜に形成されたコンタ

クトホールを介して前記半導体層のドレイン領域に電気的に接続されていることを特徴とする請求項 3 に記載の電気光学装置。

5. 前記基板に、前記データ線の上方に形成された第 3 層間絶縁膜を更に具備しており、

5 前記画素電極は、前記第 3 層間絶縁膜上に形成されると共に前記第 2 及び第 3 層間絶縁膜に形成されたコンタクトホールを介して前記導電層に電気的に接続されていることを特徴とする請求項 3 又は 4 に記載の電気光学装置。

6. 基板にマトリクス状に配列された複数の画素電極及び薄膜トランジスタと、該薄膜トランジスタに接続されており層間絶縁膜を介して立体的に相交差する走査線及びデータ線と、前記薄膜トランジスタを構成する半導体層と前記画素電極との間に介在し、前記半導体層のドレイン領域と第 1 コンタクトホールを介して電気的に接続され且つ前記画素電極と第 2 コンタクトホールを介して電気的に接続された導電層と、前記ドレイン領域を構成する半導体層部分と同一膜からなる第 1 蓄積容量電極と前記第 1 蓄積容量電極上に配置された第 2 蓄積容量電極との間に介在する第 1 誘電体膜と、前記第 2 蓄積容量電極と前記導電層の一部からなる第 3 蓄積容量電極との間に介在する第 2 誘電体膜とを備えたことを特徴とする電気光学装置。

7. 前記第 1 蓄積容量電極と前記第 2 蓄積容量電極は平面的にみて前記第 1 誘電体膜を介して少なくとも一部が重なり、前記第 2 蓄積容量電極と前記第 3 蓄積容量電極は前記第 2 誘電体膜を介して少なくとも一部が重なることを特徴とする請求項 6 に記載の電気光学装置。

8. 前記第 1 誘電体膜と前記絶縁薄膜とは同一膜からなり、
前記走査線と前記第 2 蓄積容量電極とは同一膜からなり、
前記第 2 層間絶縁膜は、前記走査線及び前記導電層上に形成されていることを特徴とする請求項 6 又は 7 に記載の電気光学装置。

9. 前記第 1 層間絶縁膜と前記第 2 誘電体膜とは同一膜からなることを特徴とする請求項 6 から 7 のいずれか一項に記載の電気光学装置。

10. 前記導電層は、導電性の遮光膜からなることを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

11. 前記導電層は、前記基板上における平面形状が相隣接するデータ線間を前記走査線に沿って伸び、各画素電極毎に島状に構成されていることを特徴とする請求項10に記載の電気光学装置。
12. 前記相隣接するデータ線と前記導電層とは、平面的にみて少なくとも一部で重なることを特徴とする請求項11に記載の電気光学装置。
5
13. 前記導電層は、平面的に見て前記走査線と少なくとも一部で重なることを特徴とする請求項10に記載の電気光学装置。
14. 前記導電層は、高融点金属を含むことを特徴とする請求項10に記載の電気光学装置。
10
15. 前記導電層は、導電性のポリシリコン膜から構成されていることを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。
16. 前記導電層は、導電性のポリシリコン膜と高融点金属との2層以上の積層膜からなることを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。
15
17. 前記基板に、少なくとも前記半導体層のチャネル領域を平面的に見て夫々覆う位置に設けられた遮光膜を更に備えたことを特徴とする請求項1から16のいずれか一項に記載の電気光学装置。
18. 前記遮光膜は、少なくとも前記走査線の下に延設されて定電位源に接続されていることを特徴とする請求項17に記載の電気光学装置。
20
19. 前記遮光膜は、該遮光膜と前記半導体層との間に介在する下地絶縁膜に開孔されたコンタクトホールを介して前記第2蓄積容量電極と電気的に接続されていることを特徴とする請求項17又は18に記載の電気光学装置。
20. 前記第2蓄積容量電極は延設されて容量線であることを特徴とする請求項19のいずれか一項に記載の電気光学装置。
25
21. 前記容量線は前記下地絶縁膜を介して前記遮光膜と電気的に接続されることを特徴とする請求項20に記載の電気光学装置。
22. 前記導電層と前記遮光膜は、平面的にみて少なくとも一部で重なることを特徴とする請求項17から21のいずれか一項に記載の電気光学装置。
23. 前記基板と前記薄膜トランジスタとの間には下地絶縁膜を備えるとともに

に、前記データ線の上且つ前記画素電極の下に設けられた第3層間絶縁膜とを備えており、

前記基板及び前記下地絶縁膜及び前記第2層間絶縁膜及び前記第3層間絶縁膜のうち少なくとも一つは、前記薄膜トランジスタ、走査線、データ線、及び蓄積容量に対応する領域の少なくとも一部分凹状に窪んで形成されることにより、前記画素電極の下側表面がほぼ平坦化されていることを特徴とする請求項1から2のいずれか一項に記載の電気光学装置。

24. 前記第1コンタクトホールと前記第2コンタクトホールとは、前記基板上における相異なった平面位置に開孔されていることを特徴とする請求項6から10のいずれか一項に記載の電気光学装置。

25. 前記導電層の膜厚は、50nm以上500nm以下であることを特徴とする請求項1から24のいずれか一項に記載の電気光学装置。

26. 前記第1層間絶縁膜の膜厚は、10nm以上200nm以下であることを特徴とする請求項3から5のいずれか一項に記載の電気光学装置。

27. 前記第2誘電体膜の膜厚は、10nm以上200nm以下であることを特徴とする請求項6から9のいずれか一項に記載の電気光学装置。

28. 前記導電層は、画素の開口領域の少なくとも一部を規定することを特徴とする請求項10から14のいずれか一項に記載の電気光学装置。

29. 複数の走査線と、複数のデータ線と、前記各走査線とデータ線の交差に対応して配置された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置の製造方法において、

基板に前記薄膜トランジスタのソース領域、チャネル領域及び前記ドレイン領域並びに前記蓄積容量の第1蓄積容量電極となる半導体層を形成する工程と、

前記半導体層上に絶縁薄膜を形成する工程と、

前記絶縁薄膜上に前記走査線及び前記蓄積容量の第2蓄積容量電極を夫々形成する工程と、

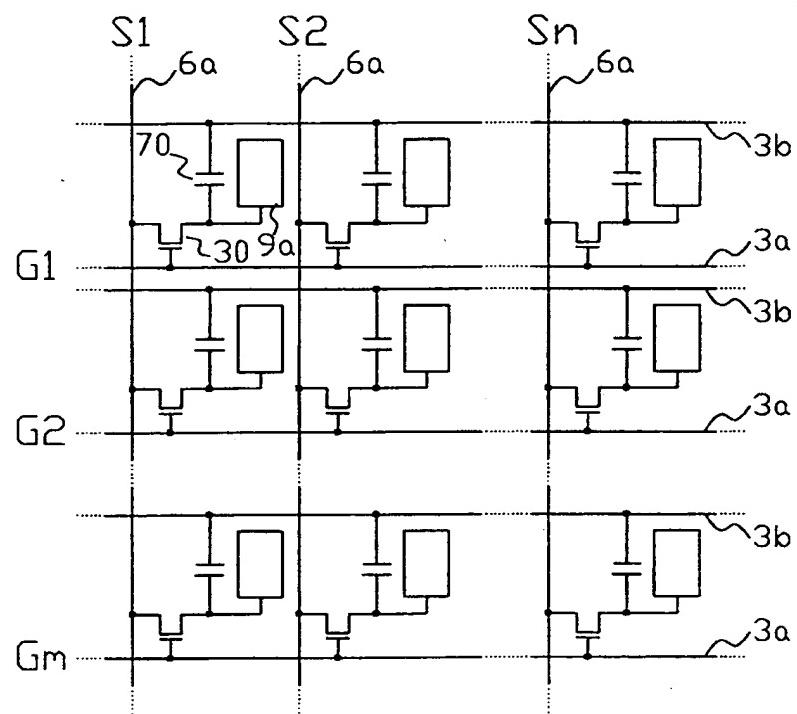
前記第2蓄積容量電極上に第1層間絶縁膜を形成する工程と、

前記絶縁薄膜及び前記第1層間絶縁膜に対し前記第1コンタクトホールを開孔する工程と、

- 前記第1コンタクトホールを介して前記半導体層に電気的に接続されるように
前記第1層間絶縁膜上に導電層を形成する工程と、
前記導電層上に第2層間絶縁膜を形成する工程と、
前記第2層間絶縁膜上に前記データ線を形成する工程と、
5 前記データ線上に第3層間絶縁膜を形成する工程と、
前記第2及び第3層間絶縁膜に対し前記第2コンタクトホールを開孔する工程
と、
前記第2コンタクトホールを介して前記導電層に電気的に接続されるように画
素電極を形成する工程と
10 を含むことを特徴とする電気光学装置の製造方法。
30. 前記基板の前記チャネル領域に対向する領域に遮光膜を形成する工程と、
該遮光膜上に下地絶縁膜を形成する工程とを更に含み、
前記半導体層を形成する工程では、前記下地絶縁膜上に前記半導体層を形成す
ることを特徴とする請求項29に記載の電気光学装置の製造方法。
15 31. 前記基板及び前記下地絶縁膜及び前記第2層間絶縁膜及び前記第3層間
絶縁膜のうちのうち少なくとも一つを前記薄膜トランジスタ、走査線、データ線、
及び蓄積容量に対応する領域の少なくとも一部分凹状に窪ませる工程を有するこ
とを特徴とする請求項30に記載の電気光学装置の製造方法。
32. 請求項1から請求項28のいずれか一項に記載の電気光学装置を有する
20 ことを特徴とする電子機器。

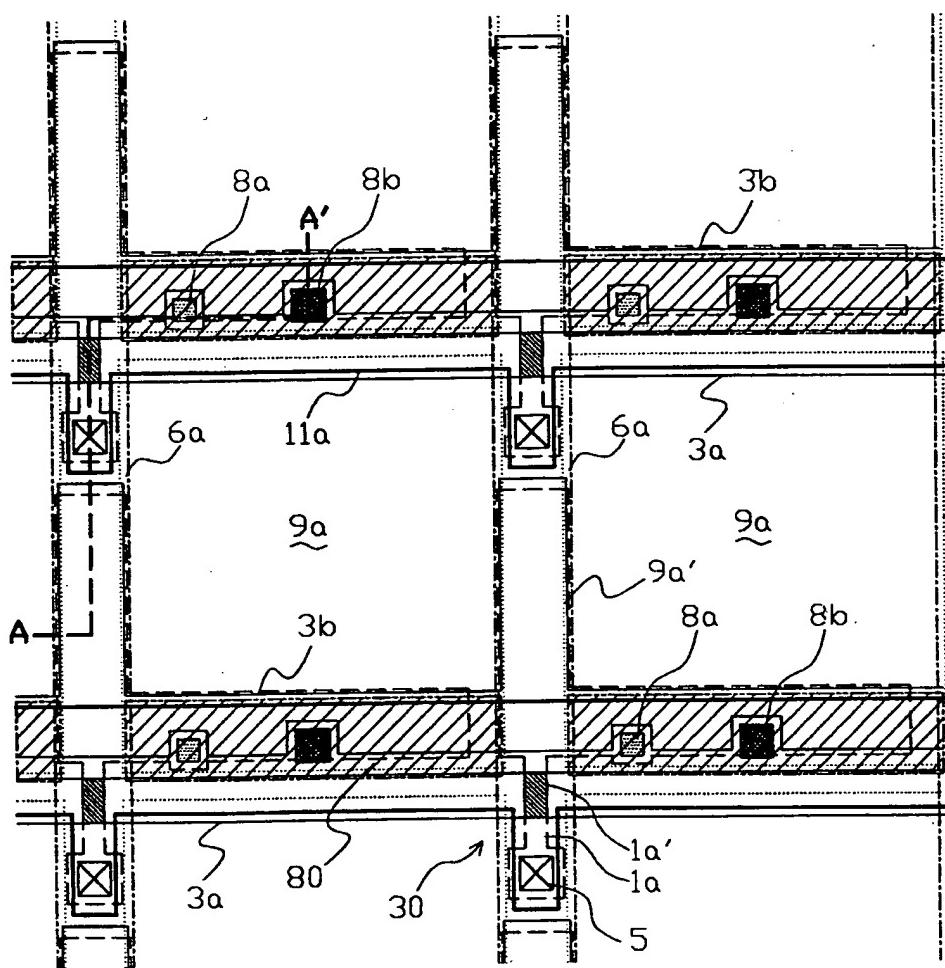
【図1】

1 / 16



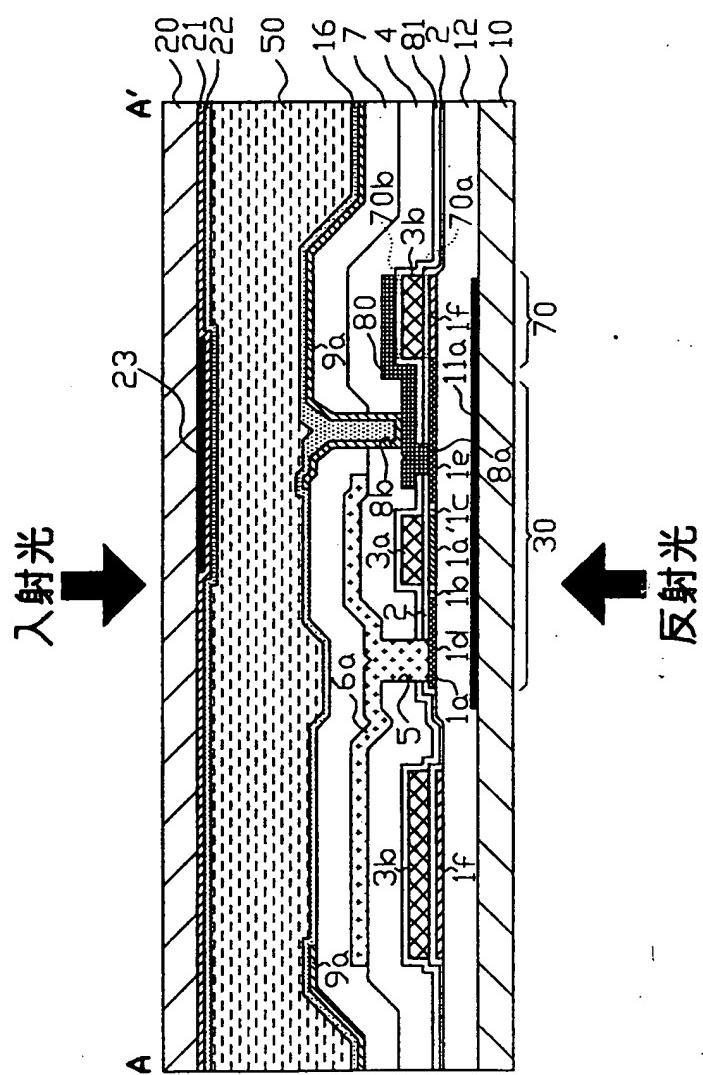
2 / 16

【図2】



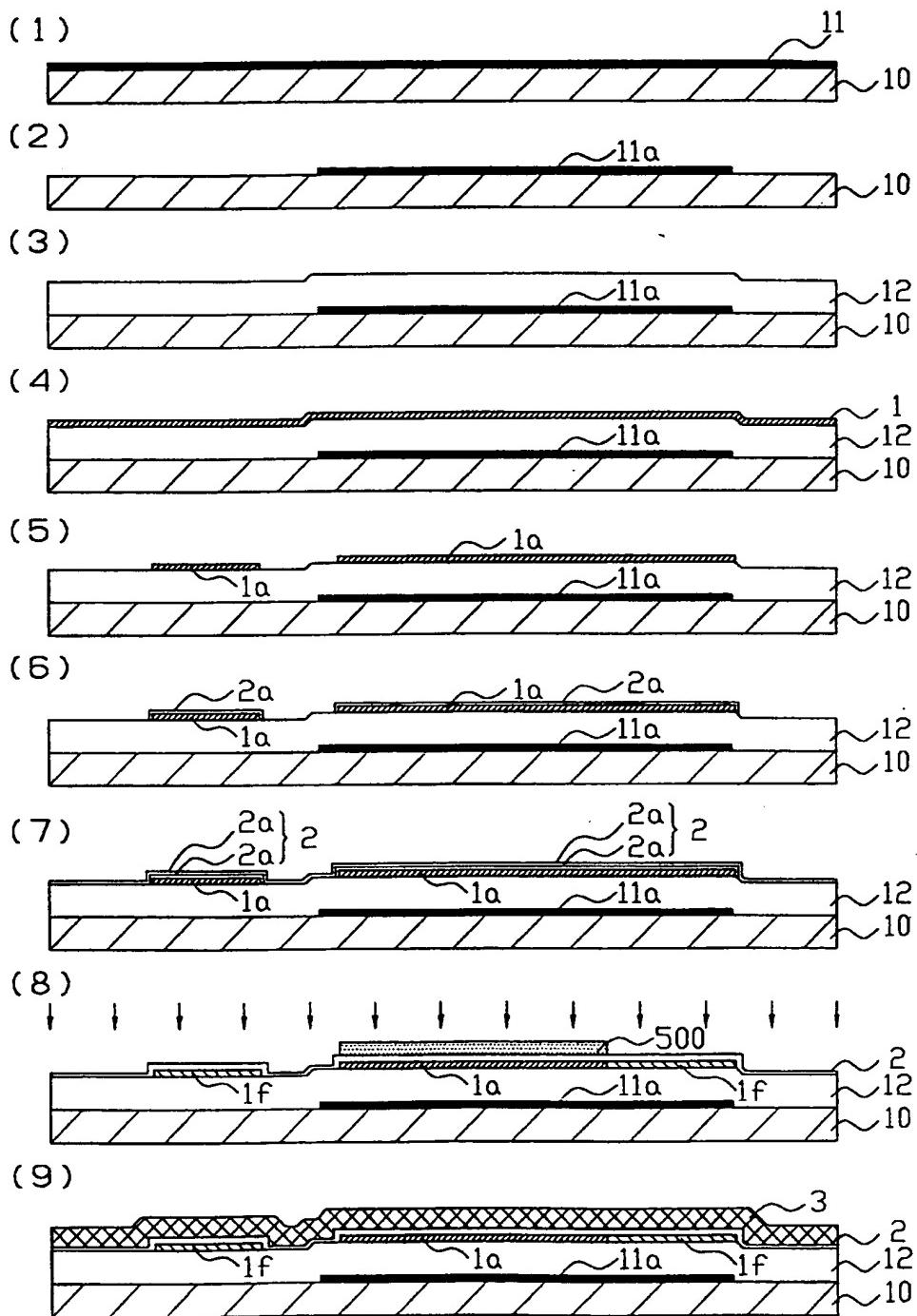
【図3】

3 / 16



4 / 16

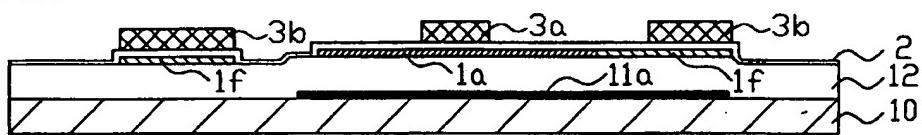
【図4】



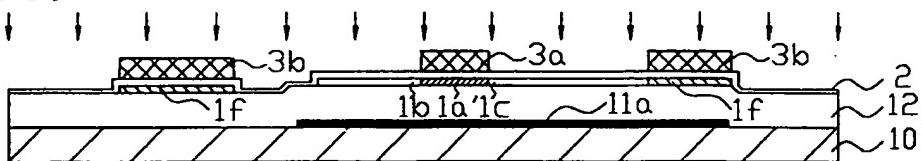
5 / 16

【図5】

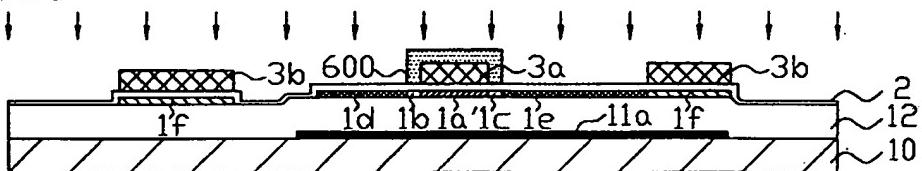
(10)



(11)



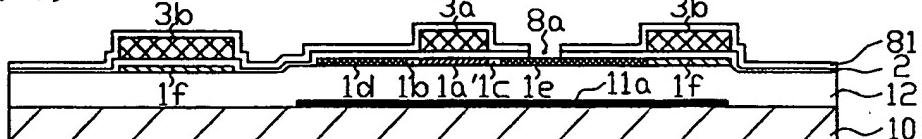
(12)



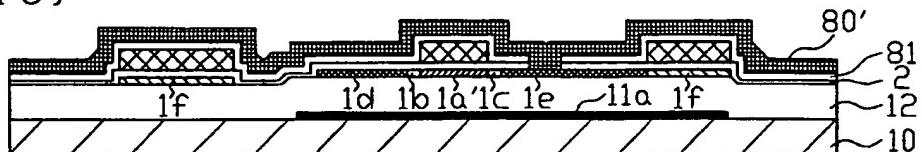
(13)



(14)



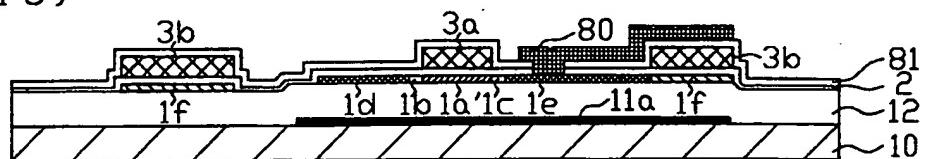
(15)



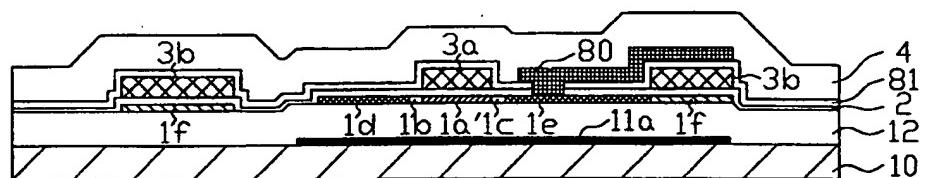
【図6】

6 / 16

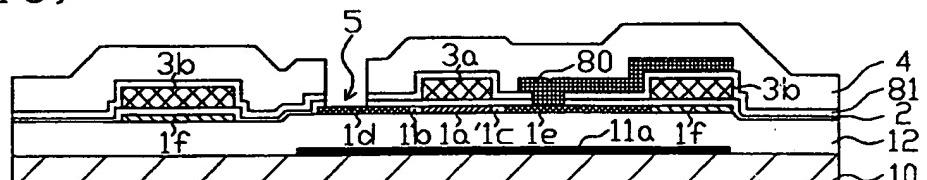
(16)



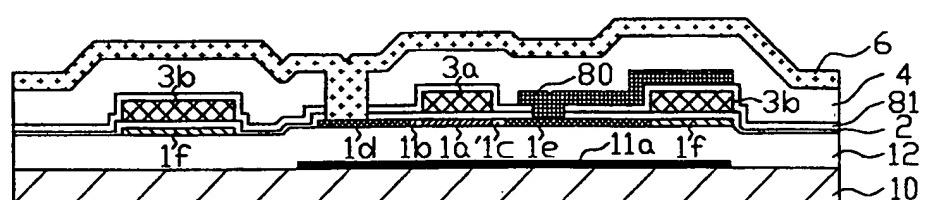
(17)



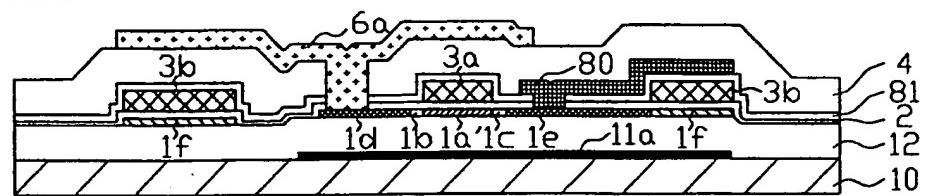
(18)



(19)



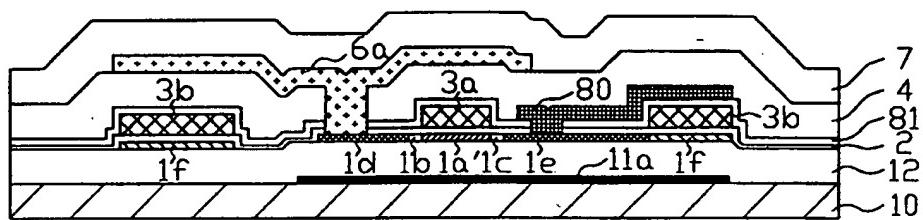
(20)



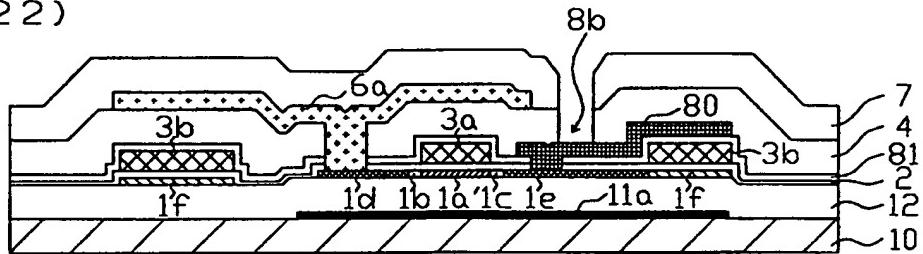
【図7】

7 / 16

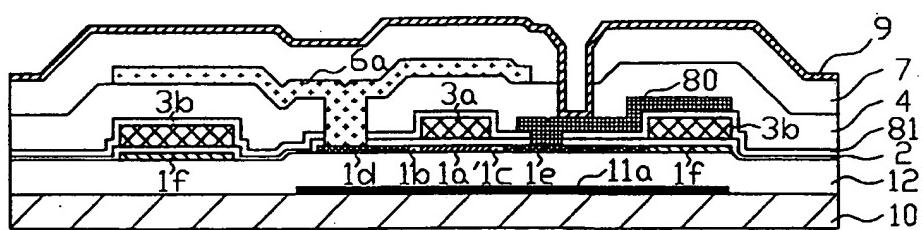
(21)



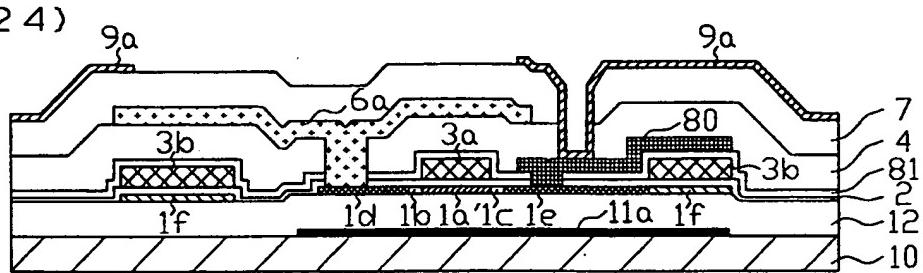
(22)



(23)

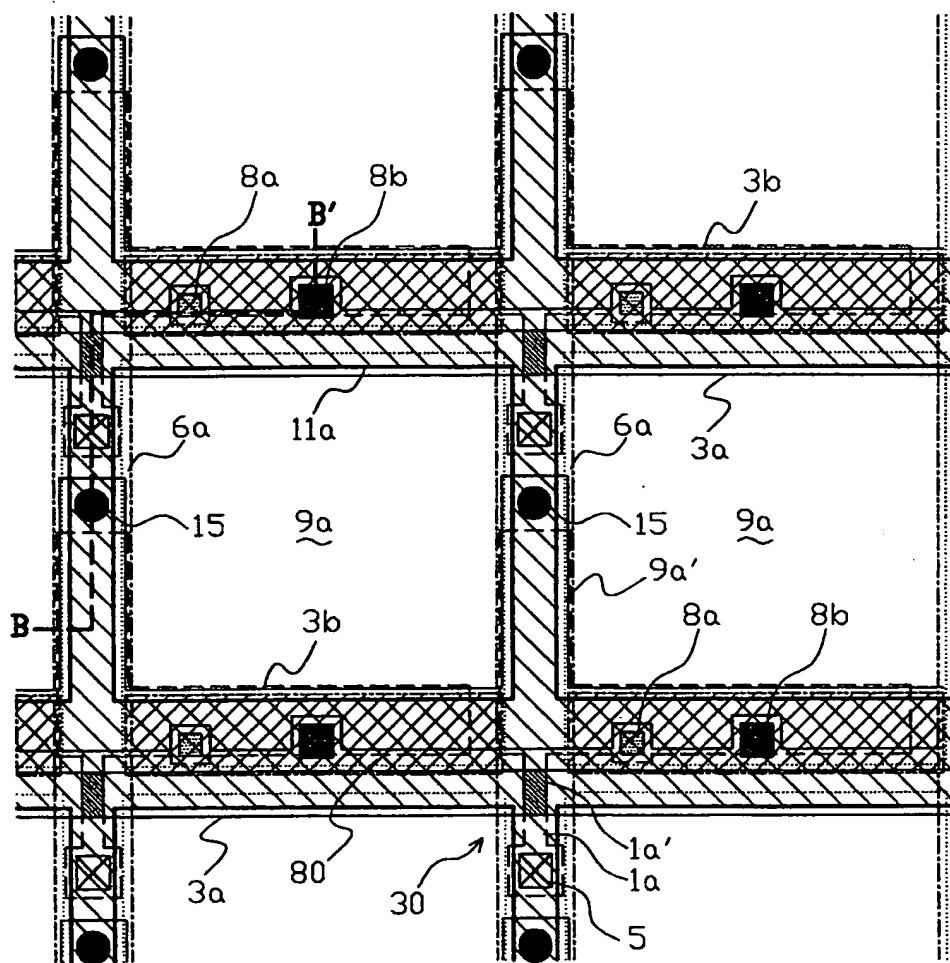


(24)



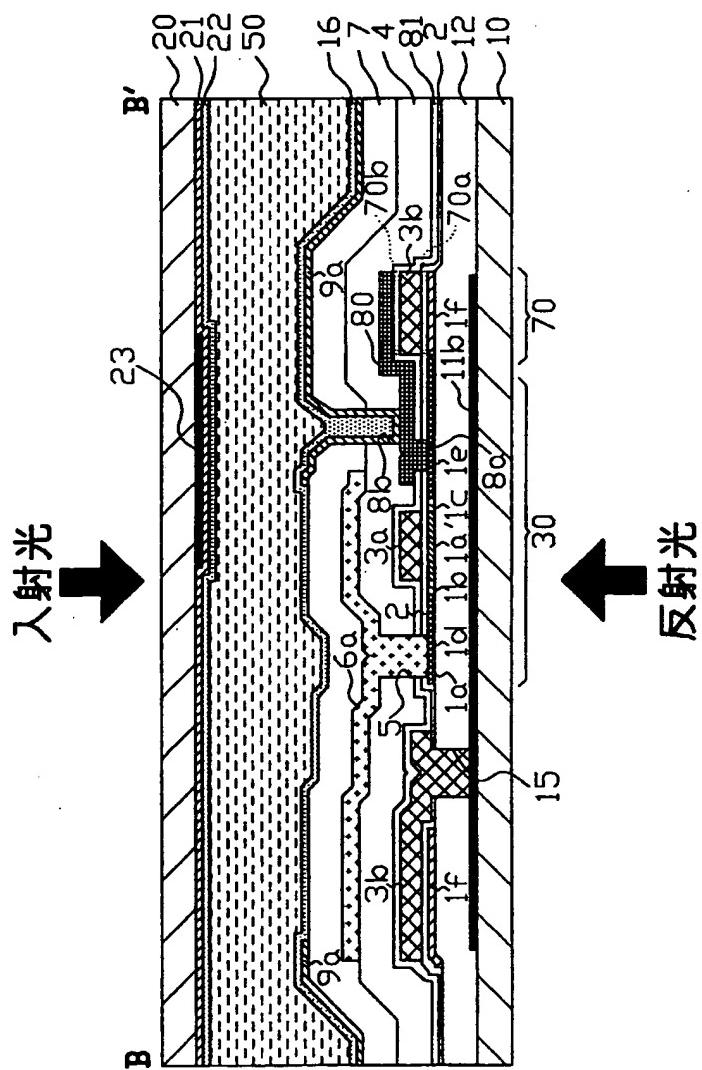
【図8】

8 / 16



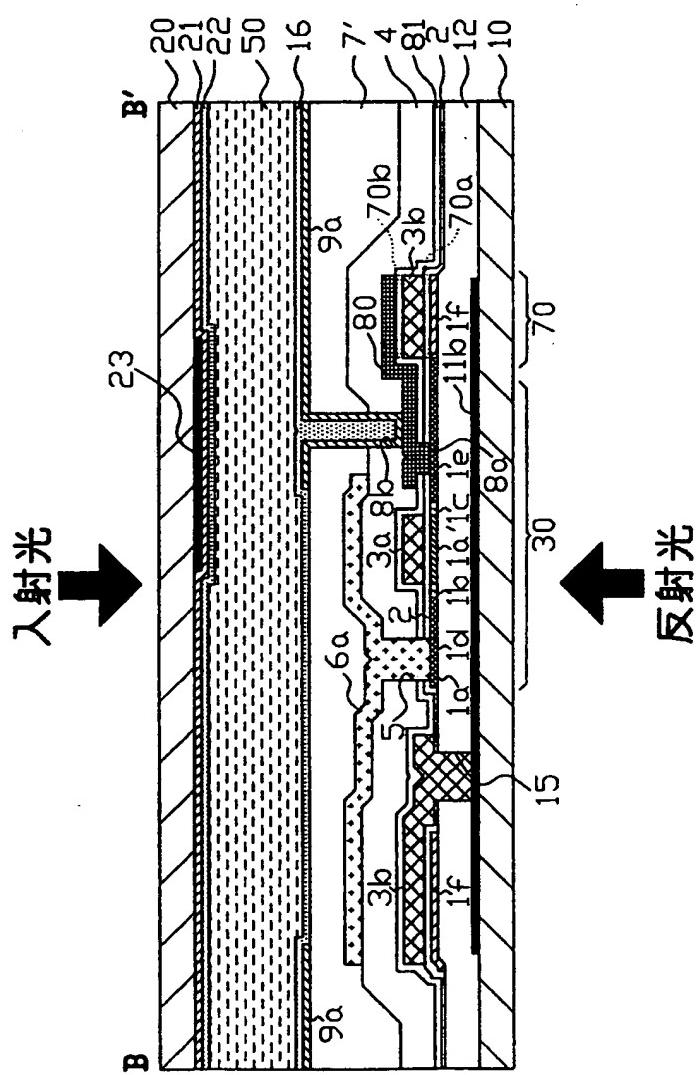
【図9】

9 / 16

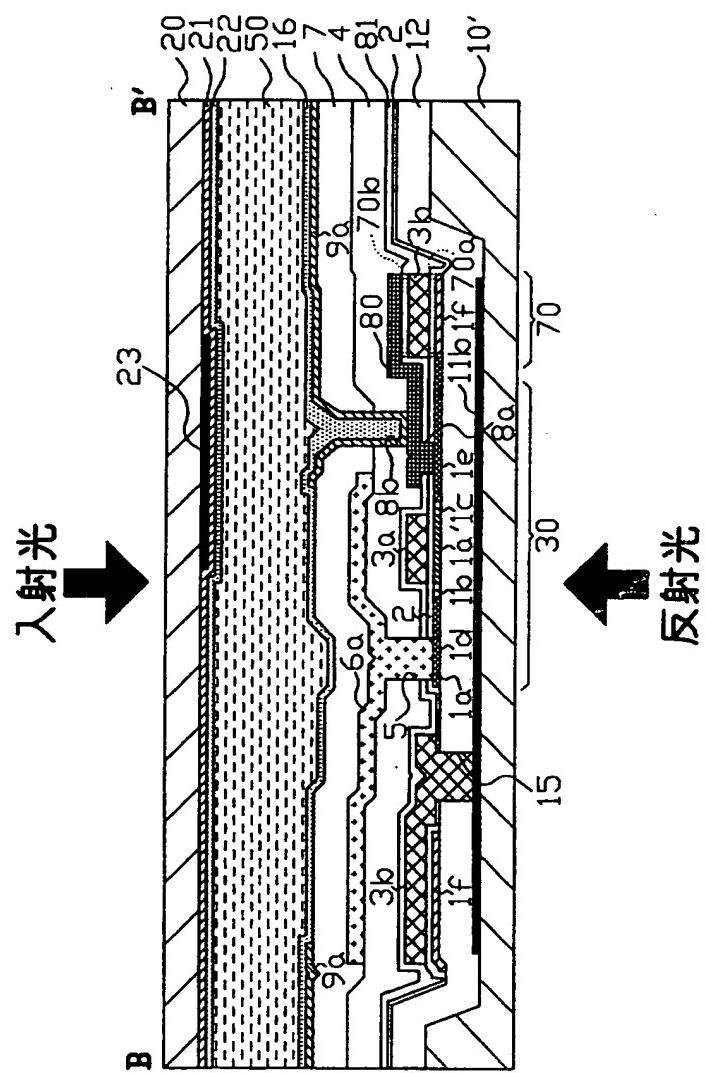


【図 10】

10 / 16

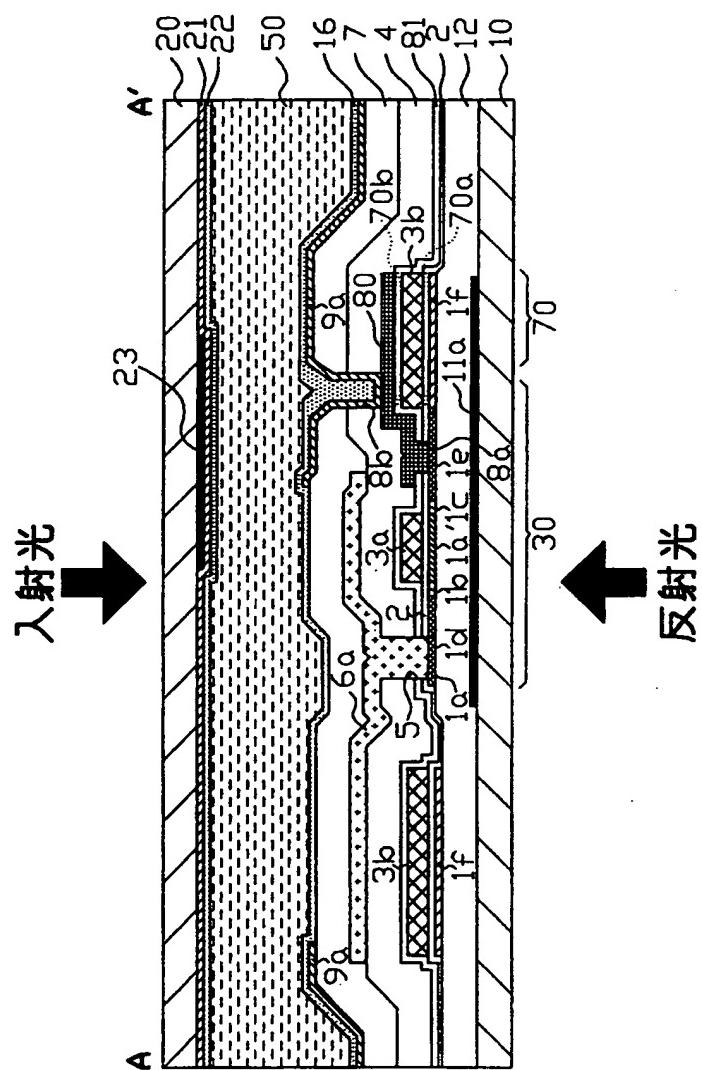


【図 11】



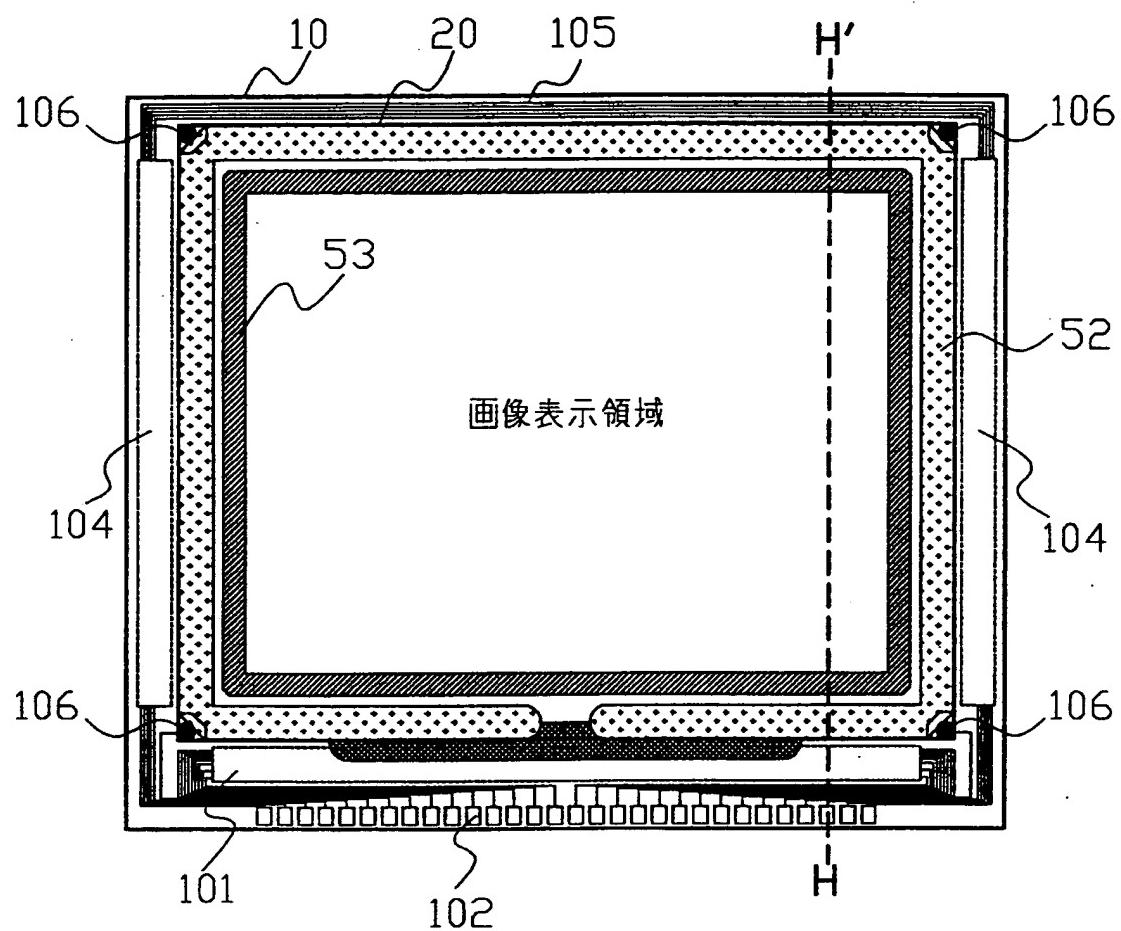
【図12】

12/16



【図 13】

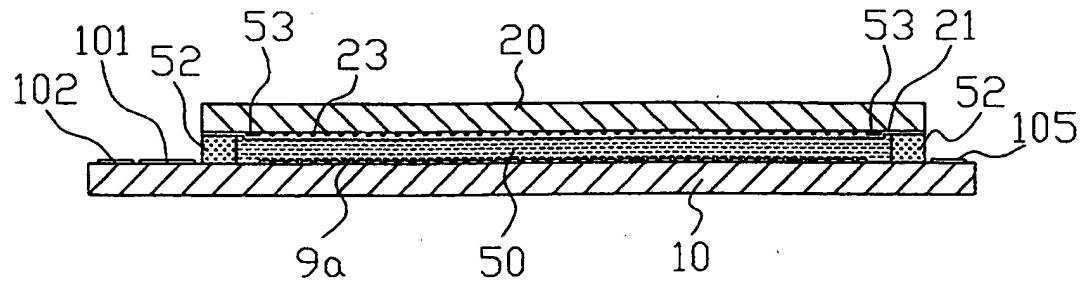
13 / 16



【図 14】

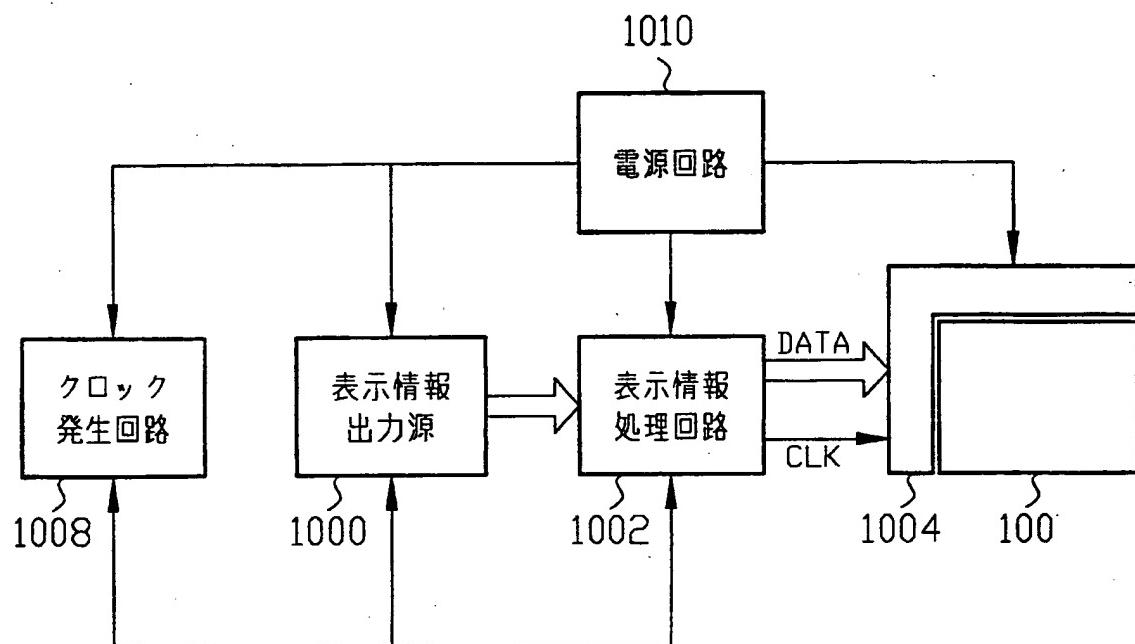
H

H'



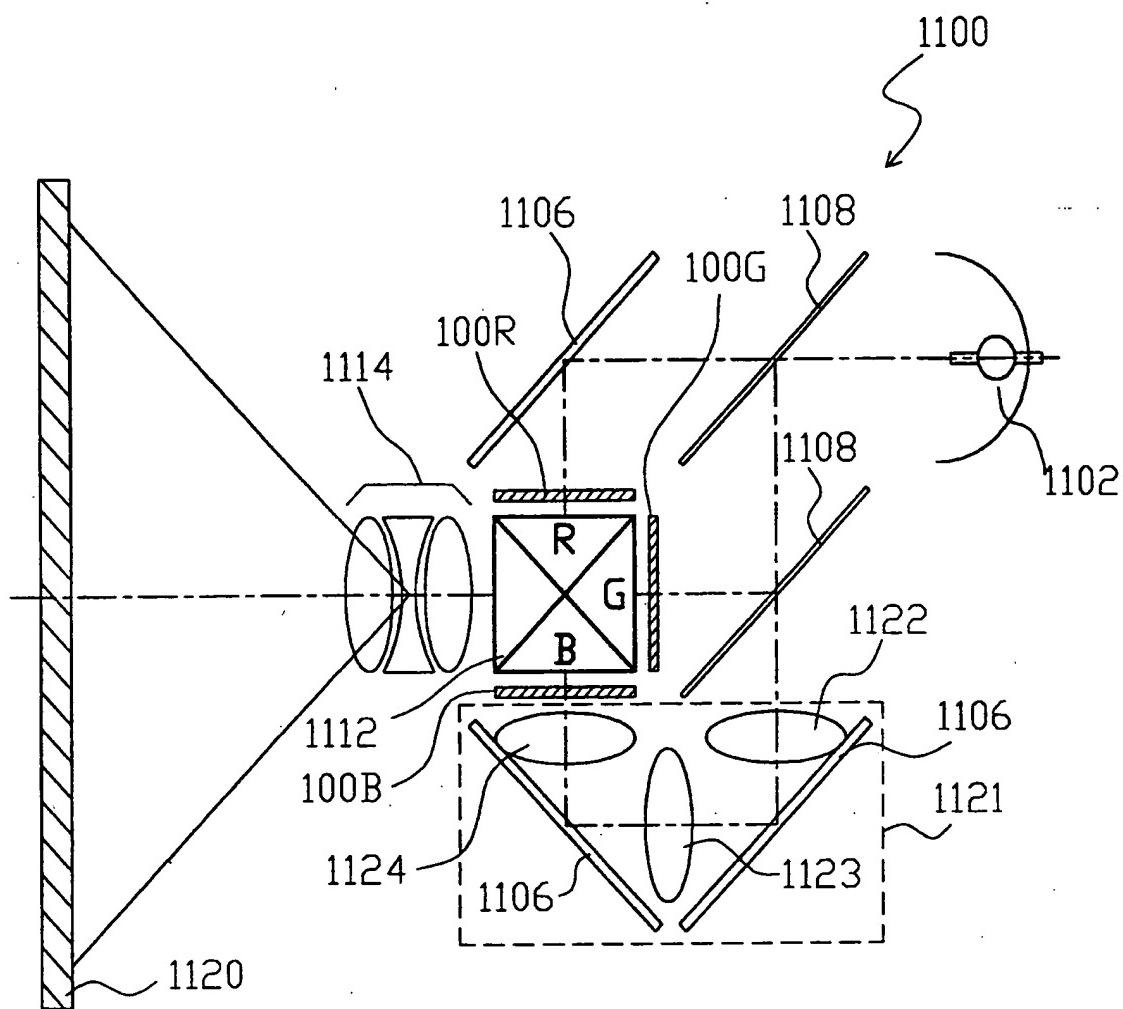
【図15】

14/16



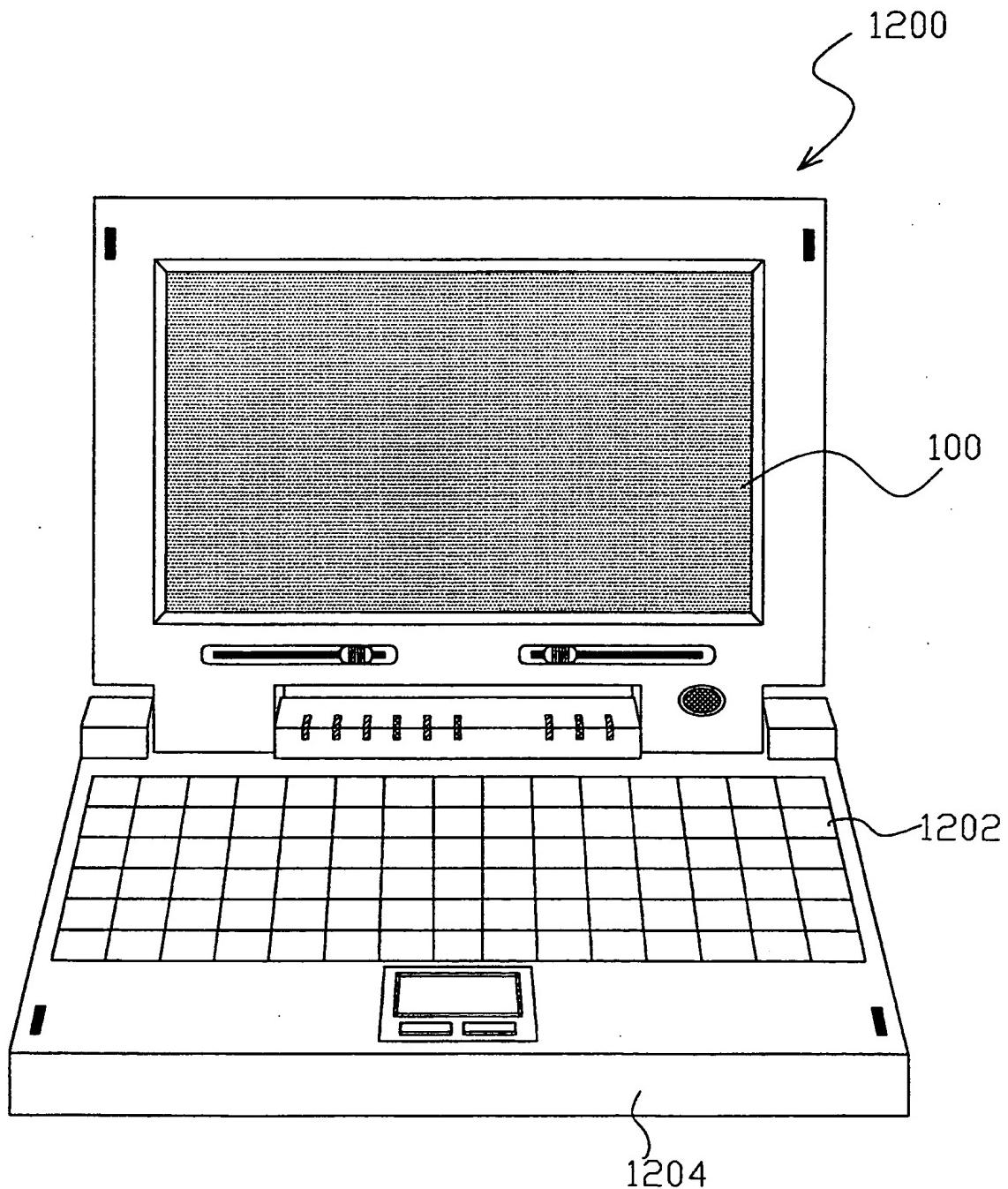
【図16】

15 / 16



【図17】

16 / 16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06642

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷

G09F9/30, G02F1/136

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷

G09F9/30, G02F1/136

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 8-160463, A (Sanyo Electric Co., Ltd.), 21 June, 1996 (21.06.96) (Family: none)	1, 2, 10-18, 22, 25, 28, 32 3-9, 19-21, 23, 24, 26, 27, 29 -31
Y A	JP, 6-67201, A (SEIKO EPSON CORPORATION), 11 March, 1994 (11.03.94) (Family: none)	1, 2, 10-18, 22, 25, 28, 32 3-9, 19-21, 23, 24, 26, 27, 29 -31
Y A	JP, 10-31235, A (Semiconductor Energy Lab. Co., Ltd.), 03 February, 1998 (03.02.98) (Family: none)	17, 18, 22, 25, 32 3-9, 19-21, 23, 24, 26, 27, 29 -31
A	JP, 10-20298, A (Sharp Corporation), 23 January, 1998 (23.01.98) (Family: none)	3-9, 19-21, 23, 24, 26, 27, 29 -31

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
18 February, 2000 (18.02.00)Date of mailing of the international search report
07 March, 2000 (07.03.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP99/06642

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int. C1' G09F9/30, G02F1/136

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
 Int. C1' G09F9/30, G02F1/136

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P, 8-160463, A (三洋電機株式会社), 21. 6 月. 1996 (21. 06. 96) (ファミリーなし)	1, 2, 10-18, 22, 25, 28, 32 3-9, 19-21, 23, 24, 26, 27, 29-31
Y A	J P, 6-67201, A (セイコーエプソン株式会社), 1 1. 3月. 1994 (11. 03. 94) (ファミリーなし)	1, 2, 10-18, 22, 25, 28, 32 3-9, 19-21, 23, 24, 26, 27, 29-31

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 00. 02. 18	国際調査報告の発送日 07.03.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 柿崎 拓 電話番号 03-3581-1101 内線 3371  3 X 9235

国際調査報告

国際出願番号 PCT/JP99/06642

C(続き) .	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 10-31235, A (株式会社半導体エネルギー研究所), 3. 2月. 1998 (03. 02. 98) (ファミリーなし)	17, 18, 22, 25, 32
A	JP, 10-20298, A (シャープ株式会社), 23. 1月. 1998 (23. 01. 98) (ファミリーなし)	3-9, 19-21, 23, 24, 26, 27, 29-31

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.